

日本国特許庁
JAPAN PATENT OFFICE

H. HOMMA et al.
2/6/02
68265
10/066617
CG997 U.S. PTO
02/06/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 2月28日

出願番号
Application Number:

特願2001-053805

出願人
Applicant(s):

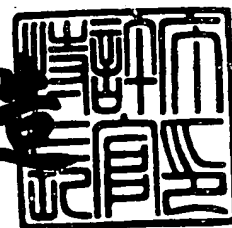
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 76210221

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/28

【発明の名称】 プラズマディスプレイパネルの駆動方法、駆動回路及び
プラズマ表示装置

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 本間 肇

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 田中 義人

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 荒木 公太

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネルの駆動方法、駆動回路及びプラズマ表示装置

【特許請求の範囲】

【請求項 1】 対向して配置された第 1 及び第 2 の基板、前記第 1 の基板における前記第 2 の基板との対向面側に互いに交互に設けられ第 1 の方向に延びる複数本の走査電極及び維持電極、並びに前記第 2 の基板における前記第 1 の基板との対向面側に設けられ前記第 1 の方向に直交する第 2 の方向に延びる複数本のデータ電極が設けられ、前記走査電極及び維持電極と前記データ電極との各交点に表示セルが配置されたプラズマディスプレイパネルに映像信号に応じた表示を行わせるプラズマディスプレイパネルの駆動方法において、前記走査電極上に負の壁電荷を形成し前記維持電極及びデータ電極上に正の壁電荷を形成する工程と、前記走査電極上の負の壁電荷、前記維持電極上の正の壁電荷及び前記データ電極上の正の壁電荷の量を調整する工程と、前記走査電極の電位を正の一定値に設定する工程と、前記走査電極に前記一定値よりも低い電圧の走査パルスを順次印加すると共に、前記映像信号に基づいて前記データ電極に立ち上がるデータパルスを印加して選択的に書込放電を発生させる工程と、を有し、前記壁電荷の量を調整する工程における前記走査電極の最終到達電位を $(V_{s, pe})$ 、前記維持電極の電位を V_{c1} 、前記データ電極の電位を $(V_{d, pe})$ とし、前記走査パルスの電位を $(V_{s, w})$ とし、前記映像信号に基づいて前記走査パルスが印加されても前記データパルスが印加されない表示セルにおける前記データ電極の電位を $(V_{d, w})$ とし、前記走査パルス及びデータパルスを印加する工程における前記維持電極の電位を V_{c2} としたときに、

$$(V_{d, pe}) - (V_{s, pe}) < (V_{d, w}) - (V_{s, w}) \text{ 及び } V_{c1} \leq V_{c2}$$

の関係が成り立つことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記書込放電を発生させる工程の後に、前記走査電極及び維持電極に電位が V_s の維持パルスを交互に印加して表示発光を行う工程を有し、
 $V_s \leq V_{c2} - (V_{s, w}) < V_s + 40 \text{ (V)}$ の関係が成り立つことを特徴

とする請求項1に記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 $(V_s, p_e) > (V_s, w)$ の関係が成り立つことを特徴とする請求項1又は2に記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 $V_{c1} - (V_s, p_e) < V_{c2} - (V_s, w)$ の関係が成り立つことを特徴とする請求項3に記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 $(V_d, p_e) < (V_d, w)$ の関係が成り立つことを特徴とする請求項1乃至4のいずれか1項に記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 $V_{c1} - (V_s, p_e) \leq V_{c2} - (V_s, w)$ の関係が成り立つことを特徴とする請求項5に記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 $V_{c1} - (V_s, p_e) \geq V_s$ の関係が成り立つことを特徴とする請求項2乃至6のいずれか1項に記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交互に設けられ第1の方向に延びる複数本の走査電極及び維持電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられ、前記走査電極及び維持電極と前記データ電極との各交点に表示セルが配置されたプラズマディスプレイパネルに映像信号に応じた表示を行わせるプラズマディスプレイパネルの駆動回路において、前記走査電極上に負の壁電荷を形成し前記維持電極及びデータ電極上に正の壁電荷を形成し、その後前記走査電極上の負の壁電荷、前記維持電極上の正の壁電荷及び前記データ電極上の正の壁電荷の量を調整し、その後前記走査電極の電位を正の一定値に設定し、その後前記走査電極に前記一定値よりも低い電圧の走査パルスを順次印加すると共に、前記映像信号に基づいて前記データ電極に立ち上がるデータパルスを印加して選択的に書込放電を発生させるための制御信号を生成するコントローラを有し、前記壁電荷の量を調整する際の前記走査電極の最終到達電位を $(V_s, p$

e)、前記維持電極の電位を V_{c1} 、前記データ電極の電位を $(V_{d, pe})$ とし、前記走査パルスの電位を $(V_{s, w})$ とし、前記映像信号に基づいて前記走査パルスが印加されても前記データパルスが印加されない表示セルにおける前記データ電極の電位を $(V_{d, w})$ とし、前記走査パルス及びデータパルスを印加する際の前記維持電極の電位を V_{c2} としたときに、

$$(V_{d, pe}) - (V_{s, pe}) < (V_{d, w}) - (V_{s, w}) \text{ 及び}$$

$$V_{c1} \leq V_{c2}$$

の関係が成り立つことを特徴とするプラズマディスプレイパネルの駆動回路。

【請求項9】 前記コントローラは、前記書込放電を発生させた後に、前記走査電極及び維持電極に電位が V_s の維持パルスを交互に印加して表示発光を行わせるための制御信号を生成することができ、 $V_s \leq V_{c2} - (V_{s, w}) < V_s + 40$ (V) の関係が成り立つことを特徴とする請求項8に記載のプラズマディスプレイパネルの駆動回路。

【請求項10】 $(V_{s, pe}) > (V_{s, w})$ の関係が成り立つことを特徴とする請求項8又は9に記載のプラズマディスプレイパネルの駆動回路。

【請求項11】 $V_{c1} - (V_{s, pe}) < V_{c2} - (V_{s, w})$ の関係が成り立つことを特徴とする請求項10に記載のプラズマディスプレイパネルの駆動回路。

【請求項12】 $(V_{d, pe}) < (V_{d, w})$ の関係が成り立つことを特徴とする請求項8乃至11のいずれか1項に記載のプラズマディスプレイパネルの駆動回路。

【請求項13】 $V_{c1} - (V_{s, pe}) \leq V_{c2} - (V_{s, w})$ の関係が成り立つことを特徴とする請求項12に記載のプラズマディスプレイパネルの駆動回路。

【請求項14】 $V_{c1} - (V_{s, pe}) \geq V_s$ の関係が成り立つことを特徴とする請求項9乃至13のいずれか1項に記載のプラズマディスプレイパネルの駆動回路。

【請求項15】 請求項8乃至14のいずれか1項に記載のプラズマディスプレイパネルの駆動回路と、この駆動回路により駆動されるプラズマディスプレイ

イと、を有することを特徴とするプラズマ表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は平面型テレビジョン及び情報表示ディスプレイ等に利用されるプラズマディスプレイパネルの駆動方法、駆動回路及びプラズマ表示装置に関し、特に、データ電圧の低減を図ったプラズマディスプレイパネルの駆動方法、駆動回路及びプラズマ表示装置に関する。

【0002】

【従来の技術】

一般に、プラズマディスプレイパネル（PDP）は、薄型構造でちらつきがなく表示コントラスト比が大きいこと、また、比較的に大画面とすることが可能であり、応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であること等、数多くの特徴を有している。このため、近年、コンピュータ関連の表示装置分野及びカラー画像表示の分野等において、広く利用されるようになりつつある。

【0003】

このプラズマディスプレイには、その動作方式により、電極が誘電体で被覆されて間接的に交流放電の状態で作動作させるAC型のものと、電極が放電空間に露出して直流放電の状態で作動作させるDC型のものがある。更に、AC型のプラズマディスプレイには、駆動方式として表示セルのメモリを利用するメモリ動作型と、それを利用しないリフレッシュ動作型とがある。なお、プラズマディスプレイの輝度は、放電回数に比例する。上記のリフレッシュ型の場合は、表示容量が大きくなると輝度が低下するため、小表示容量のプラズマディスプレイに対して主として使用されている。

【0004】

図13はAC型プラズマディスプレイの一つの表示セル構成を例示する斜視図である。

【0005】

表示セルには、ガラスからなる2つの絶縁基板101及び102が設けられている。絶縁基板101は背面基板となり、絶縁基板102は前面基板となる。

【0006】

絶縁基板102における絶縁基板101との対向面側には、透明な走査電極103及び透明な維持電極104が設けられている。走査電極103及び維持電極104は、パネルの水平方向（横方向）に延びている。また、夫々走査電極103及び維持電極104に重なるようにトレース電極105及び106が配置されている。トレース電極105及び106は、例えば金属製であり、各電極と外部の駆動装置との間の電極抵抗値を小さくするために設けられている。更に、走査電極103及び維持電極104を覆う誘電体層112並びにこの誘電体層112を放電から保護する酸化マグネシウム等からなる保護層114が設けられている。

【0007】

絶縁基板101における絶縁基板102との対向面側には、走査電極103及び維持電極104と直交するデータ電極107が設けられている。従って、データ電極107は、パネルの垂直方向（縦方向）に延びる。また、水平方向で表示セルを区切る隔壁109が設けられている。また、データ電極107を覆う誘電体層113が設けられ、隔壁109の側面及び誘電体層113の表面上に放電ガスの放電により発生する紫外線を可視光110に変換する蛍光体層111が形成されている。そして、絶縁基板101及び102の空間に隔壁109により放電ガス空間108が確保され、この放電ガス空間108内に、ヘリウム、ネオン若しくはキセノン等又はこれらの混合ガスからなる放電ガスが充填される。

【0008】

図14は従来のAC型プラズマディスプレイを示すブロック図である。PDP1に、行方向に延びる n （ n ：自然数）本の走査電極3-1乃至3- n （103）及び n 本の維持電極4-1乃至4- n （104）が互いに交互に所定間隔で設けられ、これらの走査電極3-1乃至3- n 及び維持電極4-1乃至4- n に直交するように列方向に延びる m （ m ：自然数）本のデータ電極10-1乃至10- m （107）が設けられている。従って、PDP1には、（ $n \times m$ ）個の表示

セルが設けられている。

【0009】

従来のプラズマディスプレイには、PDP1の駆動回路として、駆動用電源21、コントローラ22、スキヤンドライバ23、走査パルスドライバ24、維持ドライバ25及びデータドライバ26が設けられている。

【0010】

駆動用電源21は、例えば、5Vの論理電圧V_{dd}、約70Vのデータ電圧V_d及び約170Vの維持電圧V_sを生成すると共に、維持電圧V_sに基づいて、約400Vのプライミング電圧V_p、約100Vの走査ベース電圧V_{bw}及び約180Vのバイアス電圧V_{sw}を生成する。論理電圧V_{dd}はコントローラ22に供給され、データ電圧V_dはデータドライバ26に供給され、維持電圧V_sはスキヤンドライバ23及び維持ドライバ25に供給され、プライミング電圧V_p及び走査ベース電圧V_{bw}はスキヤンドライバ23に供給され、バイアス電圧V_{sw}は維持ドライバ25に供給される。

【0011】

コントローラ22は、外部から供給される映像信号S_vに基づいて、スキヤンドライバ制御信号S_{s cd 1}乃至S_{s cd 6}、走査パルスドライバ制御信号S_{s pd 1 1}乃至S_{s pd 1 n}及びS_{s pd 2 1}乃至S_{s pd 2 n}、維持ドライバ制御信号S_{s ud 1}乃至S_{s ud 3}並びにデータドライバ制御信号S_{d d 1 1}乃至S_{d d 1 m}及びS_{d d 2 1}乃至S_{d d 2 m}を生成する回路である。スキヤンドライバ制御信号S_{s cd 1}乃至S_{s cd 6}はスキヤンドライバ23に供給され、走査パルスドライバ制御信号S_{s pd 1 1}乃至S_{s pd 1 n}及びS_{s pd 2 1}乃至S_{s pd 2 n}は走査パルスドライバ24に供給され、維持ドライバ制御信号S_{s ud 1}乃至S_{s ud 3}は維持ドライバ25に供給され、データドライバ制御信号S_{d d 1 1}乃至S_{d d 1 m}及びS_{d d 2 1}乃至S_{d d 2 m}はデータドライバ26に供給される。

【0012】

スキヤンドライバ23は、図15に示すように、例えば6個のスイッチ23-1乃至23-6から構成されている。スイッチ23-1の一端にはプライミング

電圧 V_p が印加され、その他端はポジティブライン 27 に接続されている。スイッチ 23-2 の一端には維持電圧 V_s が印加され、その他端はポジティブライン 27 に接続されている。スイッチ 23-3 の一端は接地され、その他端はネガティブライン 28 に接続されている。スイッチ 23-4 の一端には走査ベース電圧 V_{bw} が印加され、その他端はネガティブライン 28 に接続されている。スイッチ 23-5 の一端は接地され、その他端はポジティブライン 27 に接続されている。スイッチ 23-6 の一端は接地され、その他端はネガティブライン 28 に接続されている。スイッチ 23-1 乃至 23-6 は、夫々スキンドライバ制御信号 S_{scd1} 乃至 S_{scd6} に基づいてオン/オフを切り替え、ポジティブライン 27 及びネガティブライン 28 を介して所定波形の電圧が走査パルスドライバ 24 に供給される。

【0013】

走査パルスドライバ 24 は、図 15 に示すように、例えば n 個のスイッチ 24-11 乃至 24-1 n 、 n 個のスイッチ 24-21 乃至 24-2 n 、 n 個のダイオード 24-31 乃至 24-3 n 及び n 個のダイオード 24-41 乃至 24-4 n から構成されている。ダイオード 24-31 乃至 24-3 n は、夫々スイッチ 24-11 乃至 24-1 n の両端に並列接続され、ダイオード 24-41 乃至 24-4 n は、夫々スイッチ 24-21 乃至 24-2 n の両端に並列接続されている。また、スイッチ 24-1 a ($a: n$ 以下の自然数) とスイッチ 24-2 a とが従属接続され、スイッチ 24-11 乃至 24-1 n の各他端はネガティブライン 28 に共通接続され、スイッチ 24-21 乃至 24-2 n の各他端はポジティブライン 27 に共通接続されている。更に、スイッチ 24-1 a とスイッチ 24-2 a との接続点は、PDP1 の上から第 a 行目に配置された走査電極 3- a に接続されている。スイッチ 24-11 乃至 24-1 n 及び 24-21 乃至 24-2 n は、夫々走査パルスドライバ制御信号 S_{spd11} 乃至 S_{spd1n} 及び S_{spd21} 乃至 S_{spd2n} に基づいてオン/オフを切り替え、走査電極 3-1 乃至 3- n に、夫々所定波形の電圧 P_{sc1} 乃至 P_{scn} が順次供給される。

【0014】

維持ドライバ 25 は、図 16 に示すように、例えば 3 個のスイッチ 25-1 乃

至 2 5 - 3 から構成されている。スイッチ 2 5 - 1 の一端には維持電圧 V_s が印加され、その他端には維持電極 4 - 1 乃至 4 - n が共通接続されている。スイッチ 2 5 - 2 の一端は接地され、その他端には維持電極 4 - 1 乃至 4 - n が共通接続されている。スイッチ 2 5 - 3 の一端にはバイアス電圧 V_{sw} が印加されると共に、その他端には維持電極 4 - 1 乃至 4 - n が共通接続されている。スイッチ 2 5 - 1 乃至 2 5 - 3 は、夫々維持ドライバ制御信号 S_{sud1} 乃至 S_{sud3} に基づいてオン／オフを切り替え、維持電極 4 - 1 乃至 4 - n に所定波形の電圧 P_{su} が同時に供給される。

【 0 0 1 5 】

データドライバ 2 6 は、図 1 7 に示すように、例えば m 個のスイッチ 2 6 - 1 1 乃至 2 6 - 1 m 、 m 個のスイッチ 2 6 - 2 1 乃至 2 6 - 2 m 、 m 個のダイオード 2 6 - 3 1 乃至 2 6 - 3 m 及び m 個のダイオード 2 6 - 4 1 乃至 2 6 - 4 m から構成されている。ダイオード 2 6 - 3 1 乃至 2 6 - 3 m は、夫々スイッチ 2 6 - 1 1 乃至 2 6 - 1 m の両端に並列接続され、ダイオード 2 6 - 4 1 乃至 2 6 - 4 m は、夫々スイッチ 2 6 - 2 1 乃至 2 6 - 2 m の両端に並列接続されている。スイッチ 2 6 - 1 b ($b : m$ 以下の自然数) とスイッチ 2 6 - 2 b とが従属接続され、スイッチ 2 6 - 1 1 乃至 2 6 - 1 m の各他端は接地に共通接続され、スイッチ 2 6 - 2 1 乃至 2 6 - 2 m の各他端にはデータ電圧 V_d が供給されている。更に、スイッチ 2 6 - 1 b とスイッチ 2 6 - 2 b との接続点は、PDP1 の左から第 b 列目に配置されたデータ電極 1 0 - b に接続されている。スイッチ 2 6 - 1 1 乃至 2 6 - 1 m 及び 2 6 - 2 1 乃至 2 6 - 2 m は、夫々データドライバ制御信号 S_{dd11} 乃至 S_{dd1m} 及び S_{dd21} 乃至 S_{spd2m} に基づいてオン／オフを切り替え、データ電極 1 0 - 1 乃至 1 0 - m に、夫々所定波形の電圧 P_{d1} 乃至 P_{dm} が順次供給される。

【 0 0 1 6 】

次に、上述のように構成された従来のプラズマディスプレイの書込選択型駆動動作について説明する。図 1 8 は従来のプラズマディスプレイの書込選択型駆動動作を示すタイミングチャートである。この書込選択型駆動動作では、サブフィールド法が採用され、各サブフィールドには、順次設定されるプライミング期間

T_p 、アドレス期間 T_a 、維持期間 T_s 及び電荷消去期間 T_e の4つの期間が設けられている。以下、走査電極及び維持電極の基準電位を維持電圧 V_s とし、これよりも高い電位を正極性といい、これよりも低い電位を負極性という。また、データ電極の基準電位は接地電位 GND とし、これよりも高い電位を正極性、これよりも低い電位を負極性という。

【0017】

プライミング期間 T_p では、まず、外部から供給される映像信号 S_v に基づいて、コントローラ22がスキャンドライバ制御信号 S_{scd1} 乃至 S_{scd6} 、維持ドライバ制御信号 S_{sud1} 乃至 S_{sud3} 、走査パルスドライバ制御信号 S_{spd11} 乃至 S_{spd1n} 及び S_{spd21} 乃至 S_{spd2n} の生成を開始すると共に、映像信号 S_v に基づいたレベルのデータドライバ制御信号 S_{dd11} 乃至 S_{dd1m} 及びロウレベルのデータドライバ制御信号 S_{dd21} 乃至 S_{dd2m} の生成を開始し、これらの制御信号を所定のドライバに供給する。

【0018】

この結果、プライミング期間 T_p においては、ハイレベルのスキャンドライバ制御信号 S_{scd1} によってスイッチ23-1がオンすると共に、ハイレベルの維持ドライバ制御信号 S_{sud2} によりスイッチ25-2がオンする。従って、図18に示すように、全ての走査電極3-1乃至3-nに正極性のプライミングパルス P_{prp} が印加され、全ての維持電極4-1乃至4-nに負極性のプライミングパルス P_{prn} が印加される。このため、全ての表示セルにおいて、走査電極103 (3-1乃至3-n)と維持電極104 (4-1乃至4-n)との間の電極間ギャップ近傍の放電ガス空間108でプライミング放電が発生する。これにより、表示セルの書込放電が発生させやすくする活性粒子が放電ガス空間108内に生成されると共に、走査電極3-1乃至3-nに負の壁電荷が付着し、維持電極4-1乃至4-nに正の壁電荷が付着し、データ電極10-1乃至10-m上に正の壁電荷が付着する。

【0019】

続いて、維持ドライバ制御信号 S_{sud2} がロウレベルに立ち下がることによりスイッチ25-2がオフすると同時に、維持ドライバ制御信号 S_{sud1} がハ

イレベルに立ち上がることによりスイッチ25-1がオンする。その後スキャンドライバ制御信号 S_{scd2} が立ち下がることによりスイッチ23-2がオフすると共に、スキャンドライバ制御信号 S_{scd3} が立ち上がることによりスイッチ23-3がオンする。従って、全ての維持電極4-1乃至4-nの電位が約170Vの維持電圧 V_s に保持された後、全ての走査電極3-1乃至3-nにプライミング消去パルス P_{pre} が印加される。このため、全ての表示セルにおいて弱い放電が発生する。これにより、走査電極3-1乃至3-n上の負の壁電荷、維持電極4-1乃至4-n上の正の壁電荷及びデータ電極10-1乃至10-m上の正の壁電荷が減少する。

【0020】

次に、アドレス期間 T_a の初期状態においては、ハイレベルの維持ドライバ制御信号 S_{sud3} によりスイッチ25-3がしていると共に、プライミング期間 T_p の後半から供給されているハイレベルのスキャンドライバ制御信号 S_{scd4} 及び S_{scd5} によりスイッチ23-4及び23-5がオンしている。従って、全ての維持電極4-1乃至4-nに正極性（バイアス電圧 V_{sw} ）のバイアスパルス P_{bp} が印加されると共に、全ての走査電極3-1乃至3-nに印加されるパルス P_{sc1} 乃至 P_{scn} の電位が一旦走査ベース電圧 V_{bw} に保持される。

【0021】

このような状態において、走査パルスドライバ制御信号 S_{spd11} 乃至 S_{spd1n} を順次ロウレベルに立ち下げると共に、これに整合させて走査パルスドライバ制御信号 S_{spd21} 乃至 S_{spd2n} を順次ハイレベルに立ち上げることにより、スイッチ24-11乃至24-1nを順次オフさせると共に、スイッチ24-21乃至24-2nを順次オンさせる。更に、これに同期して、図示しないが、データドライバ制御信号 S_{dd11} 乃至 S_{dd1m} を映像信号 S_v に基づいてハイレベルに立ち上げると共に、これに整合させてデータドライバ制御信号 S_{dd21} 乃至 S_{dd2m} を立ち下げることにより、スイッチ26-11乃至26-1mを映像信号 S_v に基づいてオンさせると共に、スイッチ26-21乃至26-2mをオフさせる。これにより、第a行目の第b列目の表示セルにおい

て書き込みが行われる場合には、走査電極 3 - a に負極性の走査パルス P_{wsn} が印加されると同時に、第 b 列目のデータ電極 1 0 - b に正極性のデータパルス P_{db} が印加される。この結果、第 a 行目の第 b 列目の表示セルにおいて対向放電が発生し、更にこの対向放電をトリガとする面放電が書込放電として走査電極及び維持電極間で発生し、電極に壁電荷が付着する。これに対し、書込放電が発生しなかった表示セルにおいては、プライミング期間 T_a の電荷消去後の壁電荷が少ない状態のままである。

【 0 0 2 2 】

次に、維持期間 T_s においては、スキャンドライバ制御信号 S_{scd2} 及び S_{scd6} がそのサブフィールドに応じた回数だけ交互に立ち上がり／立ち下がりを繰り返す。この結果、スイッチ 2 3 - 2 及び 2 3 - 6 が交互にオン／オフを繰り返す。また、これと同期して、維持ドライバ制御信号 S_{sud1} 及び S_{sud2} もそのサブフィールドに応じた回数だけ交互に立ち上がり／立ち下がりを繰り返す。この結果、スイッチ 2 5 - 1 及び 2 5 - 2 が交互にオン／オフを繰り返す。従って、全ての走査電極 3 - 1 乃至 3 - n に負極性の維持パルス P_{sun1} がサブフィールドに応じた回数だけ印加されると共に、全ての維持電極 4 - 1 乃至 4 - n に負極性の維持パルス P_{sun2} がサブフィールドに応じた回数だけ維持パルス P_{sun1} に対し排他的に印加される。これにより、アドレス期間 T_a で書き込みが行われなかった表示セルの壁電荷量は極めて少ないので、その表示セルに維持パルスが印加されても維持放電は発生しない。一方、アドレス期間 T_a で書込放電が発生した表示セルにおいては、走査電極に正電荷が、維持電極に負電荷が付着しているため、維持パルスと壁電荷電圧とが互いに重畳され、電極間の電圧が放電開始電圧を超えて放電が発生する。

【 0 0 2 3 】

次に、電荷消去期間 T_e においては、スキャンドライバ制御信号 S_{scd3} が立ち上がることによりスイッチ 2 3 - 3 がオンする。この結果、全ての走査電極 3 - 1 乃至 3 - n に負極性の電荷消去パルス P_{een} が印加される。従って、全ての表示セルにおいて弱い放電が発生する。これにより、維持期間 T_s において発光していた表示セル内の走査電極及び維持電極上に蓄積していた壁電荷が消去

され、全ての表示セルの電荷状態が均一化される。

【0024】

このような駆動方法に対し、プライミング期間の間引きを図った駆動方法がある。以下、図1.8に示す駆動方法を第1の従来例、プライミング期間の間引きを図った駆動方法を第2の従来例という。図19は第2の従来例に係る駆動方法を示すタイミングチャートである。

【0025】

第2の従来例においては、走査ベース電圧 V_{bw} が負の電圧値に設定され、プライミング期間 T_p における維持電極のバイアスレベル V_a 及び走査ベース電圧 V_{sw} が維持電圧 V_s よりも低く設定され、プライミング消去パルス P_{pre} の最終到達電位が走査パルス P_{wsn} よりも高く設定されている。

【0026】

また、データパルスの電位振幅を小さくすることを目的として、プライミング消去パルス P_{pre} を走査電極に印加している間の維持電極の電位を走査パルス P_{wsn} を走査電極に印加している間の維持電極の電位よりも高くする駆動方法が提案されている（特開2000-305510号公報）。以下、この駆動方法を第3の従来例という。図20は第3の従来例に係る駆動方法を示すタイミングチャートである。

【0027】

第3の従来例では、第1の従来例と同様に、走査電極及び維持電極の電位を常に0以上としている。また、プライミング消去パルス P_{pre} を走査電極に印加している間の維持電極のバイアスレベル V_a がアドレス期間 T_a の維持電極の走査ベース電圧 V_{sw} よりも0乃至40Vだけ高く設定されている。これに伴い、プライミング消去パルス P_{pre} の最終到達電位も走査パルス P_{wsn} の電位 G_{ND} よりも0乃至40Vだけ高く設定されている。

【0028】

【発明が解決しようとする課題】

しかしながら、第1の従来例では、消費電力が大きいため、近時の低消費電力化の要請に応えることができないという問題点がある。また、第2の従来例にお

いては、アドレス期間 T_a 内の走査電極の電位を負に保持しているため、電源の構造が複雑になると共に、消費電力の低減についても十分とはいえない。更に、第3の従来例においては、プライミング消去パルス P_{pre} が走査電極に印加されている際の維持電極の電位がアドレス期間 T_a におけるものよりも高いため、走査電極及び維持電極上の壁電荷の減少が過剰となり、書込放電が発生しづらくなって駆動特性が悪化するという問題点がある。

【0029】

本発明はかかる問題点に鑑みてなされたものであって、誤書き込みの発生を防止しながら消費電力を低減することができるプラズマディスプレイパネルの駆動方法、駆動回路及びプラズマ表示装置を提供することを目的とする。

【0030】

【課題を解決するための手段】

本発明に係るプラズマディスプレイパネルの駆動方法は、対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交互に設けられ第1の方向に延びる複数本の走査電極及び維持電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられ、前記走査電極及び維持電極と前記データ電極との各交点に表示セルが配置されたプラズマディスプレイパネルに映像信号に応じた表示を行わせるプラズマディスプレイパネルの駆動方法において、前記走査電極上に負の壁電荷を形成し前記維持電極及びデータ電極上に正の壁電荷を形成する工程と、前記走査電極上の負の壁電荷、前記維持電極上の正の壁電荷及び前記データ電極上の正の壁電荷の量を調整する工程と、前記走査電極の電位を正の一定値に設定する工程と、前記走査電極に前記一定値よりも低い電圧の走査パルスを順次印加すると共に、前記映像信号に基づいて前記データ電極に立ち上がるデータパルスを印加して選択的に書込放電を発生させる工程と、を有し、前記壁電荷の量を調整する工程における前記走査電極の最終到達電位を $(V_{s, pe})$ 、前記維持電極の電位を V_{c1} 、前記データ電極の電位を $(V_{d, pe})$ とし、前記走査パルスの電位を $(V_{s, w})$ とし、前記映像信号に基づいて前記走査パルスが印加されても前記データパルスが印加されな

い表示セルにおける前記データ電極の電位を (V_d, w) とし、前記走査パルス及びデータパルスを印加する工程における前記維持電極の電位を V_{c2} としたときに、 $(V_d, p e) - (V_s, p e) < (V_d, w) - (V_s, w)$ 及び $V_{c1} \leq V_{c2}$ の関係が成り立つことを特徴とする。

【0031】

本発明に係るプラズマディスプレイパネルの駆動回路は、対向して配置された第1及び第2の基板、前記第1の基板における前記第2の基板との対向面側に互いに交互に設けられ第1の方向に延びる複数本の走査電極及び維持電極、並びに前記第2の基板における前記第1の基板との対向面側に設けられ前記第1の方向に直交する第2の方向に延びる複数本のデータ電極が設けられ、前記走査電極及び維持電極と前記データ電極との各交点に表示セルが配置されたプラズマディスプレイパネルに映像信号に応じた表示を行わせるプラズマディスプレイパネルの駆動回路において、前記走査電極上に負の壁電荷を形成し前記維持電極及びデータ電極上に正の壁電荷を形成し、その後前記走査電極上の負の壁電荷、前記維持電極上の正の壁電荷及び前記データ電極上の正の壁電荷の量を調整し、その後前記走査電極の電位を正の一定値に設定し、その後前記走査電極に前記一定値よりも低い電圧の走査パルスを順次印加すると共に、前記映像信号に基づいて前記データ電極に立ち上がるデータパルスを印加して選択的に書込放電を発生させるための制御信号を生成するコントローラを有し、前記壁電荷の量を調整する際の前記走査電極の最終到達電位を $(V_s, p e)$ 、前記維持電極の電位を V_{c1} 、前記データ電極の電位を $(V_d, p e)$ とし、前記走査パルスの電位を (V_s, w) とし、前記映像信号に基づいて前記走査パルスが印加されても前記データパルスが印加されない表示セルにおける前記データ電極の電位を (V_d, w) とし、前記走査パルス及びデータパルスを印加する際の前記維持電極の電位を V_{c2} としたときに、 $(V_d, p e) - (V_s, p e) < (V_d, w) - (V_s, w)$ 及び $V_{c1} \leq V_{c2}$ の関係が成り立つことを特徴とする。

【0032】

本発明においては、走査電極の電位と対向電極の電位との差である対向電位差について、プライミング消去時の電位差 $((V_d, p e) - (V_s, p e))$ を

書き込み時の電位差 ($(V_d, w) - (V_s, w)$) よりも小さくしているので、プライミング消去時には、対向放電が発生しないか、又は発生したとしても極めて微弱なものになる。従って、それ以前にデータ電極上に形成された正の壁電荷はほとんど減少せず、その後の書き込み時における内部電圧が向上する。これにより、データ電極に印加するデータパルスの電位を低減しても十分な書き込みが行われるようになるので、消費電力が低減される。また、維持電極の電位については、プライミング消去時の電位 V_{c1} を書き込み時の電位 V_{c2} 以下としているので、誤書き込みによる誤灯の発生が抑制される。

【0033】

なお、前記書込放電が発生させた後に、前記走査電極及び維持電極に電位が V_s の維持パルスを交互に印加して表示発光を行わせ、 $V_s \leq V_{c2} - (V_s, w) < V_s + 40$ (V) の関係を成り立たせることにより、確実な駆動マージンを確保することが可能である。特に、 $V_s + 15 \leq V_{c2} - (V_s, w) < V_s + 25$ (V) の関係を成り立たせた場合には、広い駆動マージンを確保することが可能である。

【0034】

また、更に $(V_s, p_e) > (V_s, w)$ の関係を成り立たせてもよく、この場合、更に $V_{c1} - (V_s, p_e) < V_{c2} - (V_s, w)$ の関係を成り立たせることができる。

【0035】

更に、 $(V_d, p_e) < (V_d, w)$ の関係を成り立たせてもよく、この場合、更に $V_{c1} - (V_s, p_e) \leq V_{c2} - (V_s, w)$ の関係及び／又は $V_{c1} - (V_s, p_e) \geq V_s$ の関係を成り立たせることができる。

【0036】

本発明に係るプラズマ表示装置は、上述のいずれかの駆動回路と、この駆動回路により駆動されるプラズマディスプレイパネルと、を有することを特徴とする。

【0037】

【発明の実施の形態】

本願発明者等が前記課題を解決すべく、鋭意実験研究を重ねた結果、プライミング期間内の壁電荷を減少させる際の走査電極の最終到達電位を $(V_{s, pe})$ 、データ電極の電位を $(V_{d, pe})$ とし、走査パルスの電位を $(V_{s, w})$ とし、映像信号に基づいて走査パルスが印加されてもデータパルスが印加されない表示セルにおけるデータ電極の電位を $(V_{d, w})$ としたときに、 $((V_{d, pe}) - (V_{s, pe})) < ((V_{d, w}) - (V_{s, w}))$ の関係を成り立たせることにより、書込放電を発生させるためのデータ電圧を低減し、この結果、消費電力を低減できることを見出した。上述の関係は第2の従来例においても成り立っているが、走査ベース電圧が負であるため、上述のような問題点が残っている。この問題点を解消するために、単に、第3の従来例のように、走査ベース電圧を正にしたとしても、第2の従来例では、プライミング消去パルス P_{pre} の電位が最終到達電位に達したときの走査電極及び維持電極間の電位差が約238V、アドレス期間における走査パルス P_{wsn} の電位とバイアス電圧との差が247Vといずれも極めて大きいため、正常に動作するとは考えにくい。

【0038】

以下、本発明の実施例に係る第1の実施例に係るプラズマディスプレイについて、添付の図面を参照して具体的に説明する。図1は本発明の実施例に係るプラズマディスプレイの構造を示すブロック図である。

【0039】

第1の実施例は、駆動用電源21の代わりに駆動用電源31が設けられ、コントローラ22の代わりにコントローラ32が設けられ、データドライバ26の代わりにデータドライバ36が設けられている点で図14に示す第1の従来例と相違している。

【0040】

駆動用電源31は、例えば、5Vの論理電圧 V_{dd} 、約55Vのデータ電圧 V_d 、約170Vの維持電圧 V_s 、約400Vのプライミング電圧 V_p 、約100Vの走査ベース電圧 V_{bw} 及び約180Vのバイアス電圧 V_{sw} だけでなく、約-10Vの対向放電防止電圧 V_{prs1} を生成するように構成されている。対向放電防止電圧 V_{prs1} はデータドライバ36に供給される。

【0041】

コントローラ32は、スキヤンドライバ制御信号 $Sscd1$ 乃至 $Sscd6$ 、走査パルスドライバ制御信号 $Sspd11$ 乃至 $Sspd1n$ 及び $Sspd21$ 乃至 $Sspd2n$ 、維持ドライバ制御信号 $Ssud1$ 乃至 $Ssud3$ 並びにデータドライバ制御信号 $Sdd11$ 乃至 $Sdd1m$ 及び $Sdd21$ 乃至 $Sdd2m$ だけでなく、データドライバ制御信号 $Sdd51$ 乃至 $Sdd5m$ を生成する回路である。

【0042】

図2はデータドライバ36の構造を示す回路図である。データドライバ36は、例えば m 個のスイッチ26-11乃至26-1 m 、 m 個のスイッチ26-21乃至26-2 m 、 m 個のスイッチ26-51乃至26-5 m 、 m 個のダイオード26-31乃至26-3 m 、 m 個のダイオード26-41乃至26-4 m 及び m 個のダイオード26-61乃至26-6 m から構成されている。ダイオード26-61乃至26-6 m は、夫々スイッチ26-51乃至26-5 m の両端に並列接続されている。スイッチ26-5 b の一端はスイッチ26-1 b 及びスイッチ26-2 b の接続点に接続され、これらの各他端には対向放電防止電圧 V_{prs1} が供給されている。スイッチ26-51乃至26-5 m は、夫々データドライバ制御信号 $Sdd51$ 乃至 $Sdd5m$ に基づいてオン/オフを切り替え、データ電極10-1乃至10- m に、夫々所定波形の電圧 $Pd1$ 乃至 Pdm が順次供給される。

【0043】

駆動回路には、駆動用電源31、コントローラ32並びにドライバ23、24、25及び36が含まれている。

【0044】

次に、上述のように構成された第1の実施例に係るプラズマディスプレイの動作について説明する。図3は本発明の第1の実施例に係るプラズマディスプレイの動作を示すタイミングチャートである。また、図4はプライミングパルス P_{prp} 及び P_{prn} が印加された後の電荷の状態を示す模式図、図5は第1の実施例においてプライミング消去パルス P_{pre1} の印加により対向放電が発生しな

かった場合のその後の電荷の状態を示す模式図、図6は第1の実施例においてプライミング消去パルス P_{pre1} の印加により対向放電が発生した場合のその後の電荷の状態を示す模式図、図7は従来のプラズマディスプレイにおいてプライミング消去パルス P_{pre} の印加により対向放電が発生した場合のその後の電荷の状態を示す模式図である。

【0045】

本実施例においては、図3に示すように、図18に示す従来の駆動方法と同様に、プライミング期間 T_p において、データ電極 $10-1$ 乃至 $10-m$ の電位を接地電位 GND に保持した状態で、走査電極 $3-1$ 乃至 $3-n$ に正極性のプライミングパルス P_{prp} を印加すると共に、維持電極 $4-1$ 乃至 $4-n$ に負極性のプライミングパルス P_{prn} を印加する。このため、図4に示すように、走査電極 $3-1$ 乃至 $3-n$ 及び維持電極 $4-1$ 乃至 $4-n$ 間で面放電が発生し、走査電極 $3-1$ 乃至 $3-n$ 及びデータ電極 $10-1$ 乃至 $10-m$ 間で対向放電が発生し、これらの結果、活性粒子が放電ガス空間内に生成されると共に、全ての走査電極に負の壁電荷が付着し、全てのデータ電極及び全ての維持電極に正の壁電荷が付着する。

【0046】

次いで、全ての走査電極 $3-1$ 乃至 $3-n$ にプライミング消去パルス P_{pre1} を印加すると共に、コントローラ32がデータドライバ36にハイレベルのデータドライバ制御信号 S_{dd51} 乃至 S_{dd5m} を出力し、スイッチ $26-51$ 乃至 $26-5m$ がオンする。従って、データドライバ36により各データ電極 $10-1$ 乃至 $10-m$ に負極性（対向放電防止電圧 V_{prs1} ）の対向放電防止パルス P_{prs1} が印加される。このとき、維持電極 $4-1$ 乃至 $4-n$ の電位は維持電圧 V_s (V_{c1}) に保持する。前述のように、対向放電防止電圧 V_{prs1} は $-10V$ であるので、プライミング消去パルス P_{pre1} が最終到達電位 V_s , pe である接地電位 GND に達したときの走査電極の電位とデータ電極の電位 ($V_{prs1} = V_{d, pe}$) との差 D_{vpe1} は、下記数式1で表される。

【0047】

【数1】

$$D_{vpel} = V_{d,pe} - V_{s,pe} = (-10) - 0 = -10 \quad (V)$$

【0048】

また、最終到達電位 $V_{s,pe}$ (0 V) と維持電極の電位 (維持電圧 V_s : 170 V) との差は維持電圧 V_s (170 V) に等しくなっている。

【0049】

従って、従来の駆動方法と同様に、走査電極及び維持電極間でプライミングパルス P_{prp} 及び P_{prn} の印加時とは逆極性の弱い放電が発生するが、走査電極及びデータ電極間では、図5に示すように、対向放電が発生しないか、又は、図6に示すように、対向放電が発生しても極めて微弱なものである。一方、従来の駆動方法では、データ電極の電位は接地電位 GND に保持されているため、図7に示すように、容易に対向放電が発生している。従って、本実施例では、図5又は図6に示すように、走査電極 3-1 乃至 3-n 及び維持電極 4-1 乃至 4-n に付着した壁電荷は、その後のアドレス期間 T_a において誤放電が発生しない程度に減少され、データ電極 10-1 乃至 10-m には正の壁電荷が減少せずそのまま残っているか、又は比較的多量の壁電荷が付着したまま残っている。

【0050】

プライミング期間 T_p 後のアドレス期間 T_a では、図18に示す従来の駆動方法と同様に、全ての維持電極 4-1 乃至 4-n に正極性 (バイアス電圧 V_{sw} : V_{c2}) のバイアスパルス P_{bp} が印加され、全ての走査電極 3-1 乃至 3-n の電位が走査ベース電圧 V_{bw} に保持された状態において、表示セルの走査が行われる。即ち、走査電極 3-1 乃至 3-n に順次負極性の走査パルス P_{wsn} (電位 : GND) が印加されると共に、映像信号 S_v に基づいてデータ電極に正極性のデータパルス P_{d1} 乃至 P_{dm} が印加される。表示が行われない表示セルにおけるデータ電極の電位は接地電位 GND に保持される。これにより、第 a 行目の第 b 列目の表示セルにおいて書き込みが行われる場合には、走査電極 3-a に負極性の走査パルス P_{wsn} が印加されると同時に、第 b 列目のデータ電極 10-b に正極性のデータパルス P_{db} が印加される。この結果、第 a 行目の第 b 列目の表示セルにおいて対向放電が発生し、更にこの対向放電をトリガとする面放電が書込放電として走査電極及び維持電極間で発生し、電極に壁電荷が付着する

。この際、プライミング期間 T_p の結果として、データ電極には多量の正の壁電荷が残存しているため、従来の駆動方法におけるものよりも低いデータ電圧 V_d であっても十分な書込放電が発生する。これに対し、書込放電が発生しなかった表示セルにおいては、プライミング期間 T_a の電荷消去後の壁電荷が少ない状態のままである。なお、走査電極又は維持電極に付着している壁電荷はプライミング消去パルス P_{pre1} の印加により十分に減少しているため、誤放電（誤書き込み）は生じない。

【0051】

また、走査パルス P_{wsn} の電位 ($V_s, w=0V$) に対する書き込みが行われない表示セルにおけるデータ電極の電位 ($V_d, w=0V$) の差 D_{vw1} は、下記数式 2 で表される。

【0052】

【数 2】

$$D_{vw1} = V_d, w - V_s, w = 0 \quad (V)$$

【0053】

従って、 $D_{vw1} > D_{vpe1}$ の関係が成り立っている。

【0054】

更に、走査パルス P_{wsn} の電位 ($0V$) とバイアスパルス P_{bpb} の電位（バイアス電圧 $V_{sw}: 180V$ ）との差は維持電圧 V_s ($170V$) より大きくなっている。

【0055】

アドレス期間 T_a の後の維持期間 T_s においては、図 18 に示す従来の駆動方法と同様に、全ての走査電極 $3-1$ 乃至 $3-n$ に負極性の維持パルス P_{sun1} がサブフィールドに応じた回数だけ印加されると共に、全ての維持電極 $4-1$ 乃至 $4-n$ に負極性の維持パルス P_{sun2} がサブフィールドに応じた回数だけ維持パルス P_{sun1} に対し排他的に印加される。これにより、アドレス期間 T_a で書き込みが行われなかった表示セルの壁電荷量は極めて少ないので、その表示セルに維持パルスが印加されても維持放電は発生しないが、アドレス期間 T_a で書込放電が発生した表示セルにおいては、走査電極に正電荷が、維持電極に負電

荷が付着しているため、維持パルスと壁電荷電圧とが互いに重畳され、電極間の電圧が放電開始電圧を超えて放電が発生する。

【 0 0 5 6 】

次の電荷消去期間 T_e においては、図 1 8 に示す従来の駆動方法と同様に、全ての走査電極 3 - 1 乃至 3 - n に負極性の電荷消去パルス P_{een} が印加される。従って、全ての表示セルにおいて弱い放電が発生する。これにより、維持期間 T_s において発光していた表示セル内の走査電極及び維持電極上に蓄積していた壁電荷が消去され、全ての表示セルの電荷状態が均一化される。

【 0 0 5 7 】

このような第 1 の実施例によれば、プライミング期間 T_p において、走査電極へのプライミング消去パルス P_{pre1} の印加と同時にデータ電極に対向放電防止パルス P_{prs1} が印加されているため、その後のアドレス期間 T_a において、データ電極に多量の正の壁電荷が付着したままになっている。従って、データ電圧 V_d を低減することが可能である。また、プライミング消去パルス P_{pre1} の印加によって、走査電極及び維持電極間の壁電圧が低下するため、アドレス期間 T_a での誤書き込みが防止される。

【 0 0 5 8 】

なお、プライミング消去パルス P_{pre1} が走査電極に印加されている間の維持電極の電位は、バイアス電圧 V_{sw} 以下であれば維持電圧 V_s 以上であってもよい。

【 0 0 5 9 】

次に、本発明の第 2 の実施例について説明する。図 8 は本発明の第 2 の実施例に係るプラズマディスプレイの構造を示すブロック図である。

【 0 0 6 0 】

第 2 の実施例は、駆動用電源 3 1 の代わりに駆動用電源 4 1 が設けられ、コントローラ 3 2 の代わりにコントローラ 4 2 が設けられ、スキヤンドライバ 2 3 の代わりにスキヤンドライバ 4 3 が設けられている点で図 1 4 に示す第 1 の従来例と相違している。

【 0 0 6 1 】

駆動用電源41は、例えば、5Vの論理電圧 V_{dd} 、約55Vのデータ電圧 V_d 、約170Vの維持電圧 V_s 、約400Vのプライミング電圧 V_p 、約100Vの走査ベース電圧 V_{bw} 及び約180Vのバイアス電圧 V_{sw} だけでなく、約10Vの対向放電防止電圧 V_{prs2} を生成するように構成されている。対向放電防止電圧 V_{prs2} はスキヤンドライバ43に供給される。

【0062】

コントローラ42は、スキヤンドライバ制御信号 S_{scd1} 乃至 S_{scd6} 、走査パルスドライバ制御信号 S_{spd11} 乃至 S_{spd1n} 及び S_{spd21} 乃至 S_{spd2n} 、維持ドライバ制御信号 S_{sud1} 乃至 S_{sud3} 並びにデータドライバ制御信号 S_{dd11} 乃至 S_{dd1m} 及び S_{dd21} 乃至 S_{dd2m} だけでなく、スキヤンドライバ制御信号 S_{scd7} を生成する回路である。

【0063】

スキヤンドライバ43は、図示しないが、スキヤンドライバ制御信号 S_{scd7} がハイレベルになったときにネガティブライン28を介して対向放電防止電圧 V_{prs2} を走査パルスドライバ24に出力できるように構成されている。

【0064】

駆動回路には、駆動用電源41、コントローラ42並びにドライバ43、24、25及び26が含まれている。

【0065】

次に、上述のように構成された第2の実施例に係るプラズマディスプレイの動作について説明する。図9は本発明の第2の実施例に係るプラズマディスプレイの動作を示すタイミングチャートである。

【0066】

本実施例においては、図9に示すように、図3に示す第1の実施例における駆動方法と同様に、プライミング期間 T_p において、データ電極10-1乃至10-mの電位を接地電位 GND に保持した状態で、走査電極3-1乃至3-nに正極性のプライミングパルス P_{prp} を印加すると共に、維持電極4-1乃至4-nに負極性のプライミングパルス P_{prn} を印加する。このため、図4に示すように、走査電極3-1乃至3-n及び維持電極4-1乃至4-n間で面放電が発

生し、走査電極 3-1 乃至 3-n 及びデータ電極 10-1 乃至 10-m 間で対向放電が発生し、これらの結果、放電ガス空間内に活性粒子が生成されると共に、全ての走査電極に負の壁電荷が付着し、全てのデータ電極及び全ての維持電極に正の壁電荷が付着する。

【0067】

次いで、コントローラ 42 がスキヤンドライバ 43 にハイレベルのスキヤンドライバ制御信号 S_{scd7} を出力する。従って、スキヤンドライバ 43 から走査パルスドライバ 24 に対向放電防止電圧 V_{prs2} が供給され、最終到達電位 $V_{s,pe}$ が対向放電防止電圧 V_{prs2} のプライミング消去パルス P_{pre2} が全ての走査電極 3-1 乃至 3-n に印加される。これと同時に、維持電極 4-1 乃至 4-n にバイアスパルス P_{bp} が印加され、維持電極 4-1 乃至 4-n の電位はバイアス電圧 $V_{sw} (V_{c1})$ に保持される。データ電極 10-1 乃至 10-m の電位は接地電位 GND に保持されたままである。前述のように、対向放電防止電圧 V_{prs2} は 10V であるので、プライミング消去パルス P_{pre} が最終到達電位 $V_{s,pe} (=V_{prs2})$ に達したときの走査電極の電位に対するデータ電極の電位 ($V_{d,pe} = 0V$) の差 D_{vpe2} は、下記数式 3 で表される。

【0068】

【数 3】

$$D_{vpe2} = V_{d,pe} - V_{s,pe} = 0 - 10 = -10 \quad (V)$$

【0069】

また、最終到達電位 $V_{s,pe} (10V)$ と維持電極の電位 (バイアス電圧 $V_{sw} : 180V$) との差は維持電圧 $V_s (170V)$ に等しくなっている。

【0070】

従って、第 1 の実施例と同様に、走査電極及びデータ電極間では、図 5 に示すように、対向放電が発生しないか、又は、図 6 に示すように、対向放電が発生しても極めて微弱なものである。従って、図 5 又は図 6 に示すように、走査電極 3-1 乃至 3-n 及び維持電極 4-1 乃至 4-n に付着した壁電荷は、その後のアドレス期間 T_a において誤放電が発生しない程度に減少され、データ電極 10-

1乃至10-mには正の壁電荷が減少せずにそのまま残っているか、又は比較的多量の壁電荷が付着したまま残っている。

【0071】

その後のアドレス期間 T_a 、維持期間 T_s 及び電荷消去期間 T_e では、第1の実施例と同様の動作が行われる。

【0072】

従って、第2の実施例におけるアドレス期間 T_a では、走査パルス P_{wsn} の電位($V_s, w=0V$)に対する書き込みが行われたい表示セルにおけるデータ電極の電位($V_d, w=0V$)の差 D_{vw2} は、下記数式4で表される。

【0073】

【数4】

$$D_{vw2} = V_d, w - V_s, w = 0 \quad (V)$$

【0074】

従って、 $D_{vw2} > D_{vpe2}$ の関係が成り立っている。

【0075】

更に、走査パルス P_{wsn} の電位(0V)とバイアスパルス P_{bip} の電位(バイアス電圧 $V_{sw}: 180V$)との差は、第2の実施例においても維持電圧 V_s (170V)より大きくなっている。

【0076】

このような第2の実施例によれば、プライミング消去パルス P_{pre2} の最終到達電位 $V_{s, pe}$ が対向放電防止電圧 V_{prs2} となっているので、第1の実施例と同様に、データ電極に多量の正の壁電荷が付着したままになっている。従って、データ電圧 V_d を低減しても十分な書込放電を発生させることが可能である。また、プライミング消去パルス P_{pre2} の印加によって、走査電極及び維持電極間の壁電圧が低下するため、アドレス期間 T_a での誤書き込みが防止される。更に、第2の実施例では、負の電圧の生成が不要なため、第1の実施例と比較すると駆動用電源41の構造を簡素化することが可能である。

【0077】

なお、プライミング消去パルス P_{pre2} が走査電極に印加されている間の維

維持電極の電位は、電位差 D_{vpe2} が電位差 D_{vw2} よりも小さくなり、且つ維持電圧 V_s 以上であればバイアス電圧 V_{sw} 以下であってもよい。図 10 は、横軸に対向放電防止電圧 V_{prs2} をとり、縦軸に必要なとされるデータ電圧 V_d をとって、第 2 の実施例における両者の関係を示すグラフ図である。図 10 に示すように、対向放電防止電圧 V_{prs2} ($=V_{s,pe}$) が高くなるに連れて、即ち電位差 D_{vpe2} の値が小さくなるに連れて、書込放電に必要なとされるデータ電圧 V_d が低減されている。つまり、対向放電防止電圧 V_{prs2} を高くするほど、消費電力を低減することができることになる。

【0078】

また、第 1 及び第 2 の実施例においては、プライミング消去パルスが印加されている期間における維持電極の電位 V_{c1} とアドレス期間 T_a における維持電極の電位 V_{c2} との差を 0 又は 10 V としているが、本発明はこれに限定されるものではない。図 11 は、横軸に維持電極の電位差 ($V_{c2} - V_{c1}$) をとり、縦軸に維持電圧 V_s をとって、第 2 の実施例における両者の関係を示すグラフ図である。なお、実線は誤書き込みによって維持期間 T_s において誤灯が発生しない最高の維持電圧 V_s を示し、破線は維持期間において誤灯が発生しない最低の維持電圧 V_s (放電開始電圧) を示す。図 11 に示すように、維持電極の電位差が 0 乃至 40 V であれば、誤灯及び誤書き込みが発生しない維持電圧 V_s を確保することができるので好ましい。また、特に電位差が 15 乃至 25 V であればその駆動マージンが広いため、より一層好ましい。

【0079】

更に、第 1 及び第 2 の実施例を互いに組み合わせることにより、データ電極に対向放電防止パルス P_{prs1} を印加すると共に、走査電極におけるプライミング消去パルスの最終到達電位 $V_{s,pe}$ を対向放電防止電圧 V_{prs2} としてもよい。

【0080】

更にまた、アドレス期間 T_a において書き込みが行われない表示セルにおけるデータ電極の電位を接地電位 GND より上げるか、又は走査パルス P_{wsn} の電位を接地電位 GND より下げることにより、プライミング消去パルスが最終到達

電位に到達したときの走査電極の電位 ($V_{s, pe}$) とデータ電極の電位 ($V_{d, pe}$) との差 ($(V_{d, pe}) - (V_{s, pe})$) が走査パルスの電位 ($V_{s, w}$) と書き込みが行われない表示セルにおけるデータ電極の電位 ($V_{d, w}$) との差 ($(V_{d, w}) - (V_{s, w})$) よりも小さくなるようにしてもよい。

【0081】

なお、本発明に係るプラズマ表示装置は、例えばテレビ受像機及びコンピュータのモニタ等の表示装置として使用することができる。図12に本発明を適用したプラズマディスプレイ (PDPマルチメディアモニタ) の構成の一例を示す。図12において、図14に示す従来のプラズマディスプレイと同一の構成要素には、同一の符号を付してその詳細な説明は省略する。このプラズマ表示装置では、PDP1及びその駆動回路の前段にアナログ・インターフェイス回路91と、デジタル信号処理回路92とが設けられている。また、交流100Vから装置各部に直流電圧を供給する電源回路93が設けられている。アナログ・インターフェイス回路91は、Y/C分離回路及びクロマ・デコーダ94と、アナログ・デジタル変換器 (ADC) 95と、画像フォーマット変換回路96と、逆ガンマ変換回路97と、同期信号制御回路98とから構成されている。

【0082】

Y/C分離回路及びクロマ・デコーダ94は、この表示装置がテレビ受像機の表示部として用いられる場合に、アナログの映像信号 A_V を赤色 (R)、緑色 (G) 及び青色 (B) の各輝度信号に分解する回路である。ADC95は、この表示装置がコンピュータ等のモニタとして用いられる場合に、アナログのRGB信号 A_{RGB} をデジタルのRGB信号に変換し、この表示装置がテレビ受像機の表示部として用いられる場合に、Y/C分離回路及びクロマ・デコーダ94から供給されるR、G、B各色の輝度信号をデジタルのR、G、B各色の輝度信号に変換する回路である。画像フォーマット変換回路96は、PDP1の画素構成とADC95から供給されるデジタルのR、G、B各色の輝度信号の画素構成とが相違している場合に、デジタルのR、G、B各色の輝度信号の画素構成をPDP1の画素構成に適合するように変換する回路である。逆ガンマ変換回路97は、CRTディスプレイのガンマ特性に適合するようにガンマ補正されているデジタル

のRGB信号又は画像フォーマット変換回路96からのデジタルのR、G、B各色の輝度信号の特性をPDP1の線形なガンマ特性に適合するように逆ガンマ補正する回路である。同期信号制御回路98は、アナログの映像信号 A_V とともに供給される水平同期信号に基づいて、ADC95のサンプリングクロック信号及びデータクロック信号を生成する回路である。

【0083】

なお、図14に示す従来のプラズマディスプレイでは、論理電圧 V_{dd} 、データ電圧 V_d 及び維持電圧 V_s が駆動用電源21により生成されると共に、プライミング電圧 V_p 等が維持電圧 V_s に基づいて駆動用電源21により生成されている。一方、図12に示すプラズマ表示装置では、電源回路93が交流100Vから論理電圧 V_{dd} 、データ電圧 V_d 及び維持電圧 V_s を生成し、駆動用電源21は、電源回路93から供給される維持電圧 V_s に基づいて、プライミング電圧 V_p 等を生成する構成を採用している。また、PDP1、コントローラ22、駆動用電源21、スキンドライバ23、走査パルスドライバ24、維持ドライバ25、データドライバ26及びデジタル信号処理回路92がモジュール化されている。このようなプラズマ表示装置は、第1及び第2の実施例のいずれにも適用可能である。

【0084】

【発明の効果】

以上詳述したように、本発明によれば、プライミング消去時には、対向放電が発生しないか、又は発生したとしても極めて微弱なものになるので、それ以前にデータ電極上に形成した正の壁電荷をほとんど減少させずに残存させ、その後の書き込み時における内部電圧の向上に寄与させることができる。従って、データ電極に印加するデータパルスの電位を低減しても十分な書き込みを行うことが可能になるので、消費電力を低減することができる。また、維持電極の電位については、プライミング消去時の電位 V_{c1} を書き込み時の電位 V_{c2} 以下としているので、誤書き込みによる誤灯の発生を抑制することができる。更に、 $V_s \leq V_{c2} - (V_s, w) < V_s + 40$ (V) の関係を成り立たせることにより、十分な書込放電の発生及び誤灯の防止を効果的に実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施例に係るプラズマディスプレイの構造を示すブロック図である。

【図 2】

データドライバ 3 6 の構造を示す回路図である。

【図 3】

本発明の第 1 の実施例に係るプラズマディスプレイの動作を示すタイミングチャートである。

【図 4】

プライミングパルス P_{prp} 及び P_{prn} が印加された後の電荷の状態を示す模式図である。

【図 5】

第 1 の実施例においてプライミング消去パルス P_{pre1} の印加により対向放電が発生しなかった場合のその後の電荷の状態を示す模式図である。

【図 6】

第 1 の実施例においてプライミング消去パルス P_{pre1} の印加により対向放電が発生した場合のその後の電荷の状態を示す模式図である。

【図 7】

従来のプラズマディスプレイにおいてプライミング消去パルス P_{pre} の印加により対向放電が発生した場合のその後の電荷の状態を示す模式図である。

【図 8】

本発明の第 2 の実施例に係るプラズマディスプレイの構造を示すブロック図である。

【図 9】

本発明の第 2 の実施例に係るプラズマディスプレイの動作を示すタイミングチャートである。

【図 10】

第 2 の実施例における対向放電防止電圧 V_{prs2} と必要とされるデータ電圧 V_d との関係を示すグラフ図である。

【図 1 1】

第 2 の実施例における維持電極の電位差と維持電圧 V_s との関係を示すグラフ図である。

【図 1 2】

本発明を適用した表示装置の構成の一例を示すブロック図である。

【図 1 3】

AC 型プラズマディスプレイの一つの表示セル構成を例示する斜視図である。

【図 1 4】

従来の AC 型プラズマディスプレイを示すブロック図である。

【図 1 5】

スキャンドライバ 2 3 及び走査パルスドライバ 2 4 の構造を示す回路図である。

【図 1 6】

維持ドライバ 2 5 の構造を示す回路図である。

【図 1 7】

データドライバ 2 6 の構造を示す回路図である。

【図 1 8】

従来のプラズマディスプレイの書込選択型駆動動作（第 1 の従来例）を示すタイミングチャートである。

【図 1 9】

第 2 の従来例に係る駆動方法を示すタイミングチャートである。

【図 2 0】

第 3 の従来例に係る駆動方法を示すタイミングチャートである。

【符号の説明】

1 ; PDP

3 - 1 ~ 3 - n ; 走査電極

4 - 1 ~ 4 - n ; 維持電極

10 - 1 ~ 10 - m ; データ電極

21、31、41 ; 駆動用電源

2 3、4 3 ; スキャンドライバ

2 4 ; 走査パルスドライバ

2 5 ; 維持ドライバ

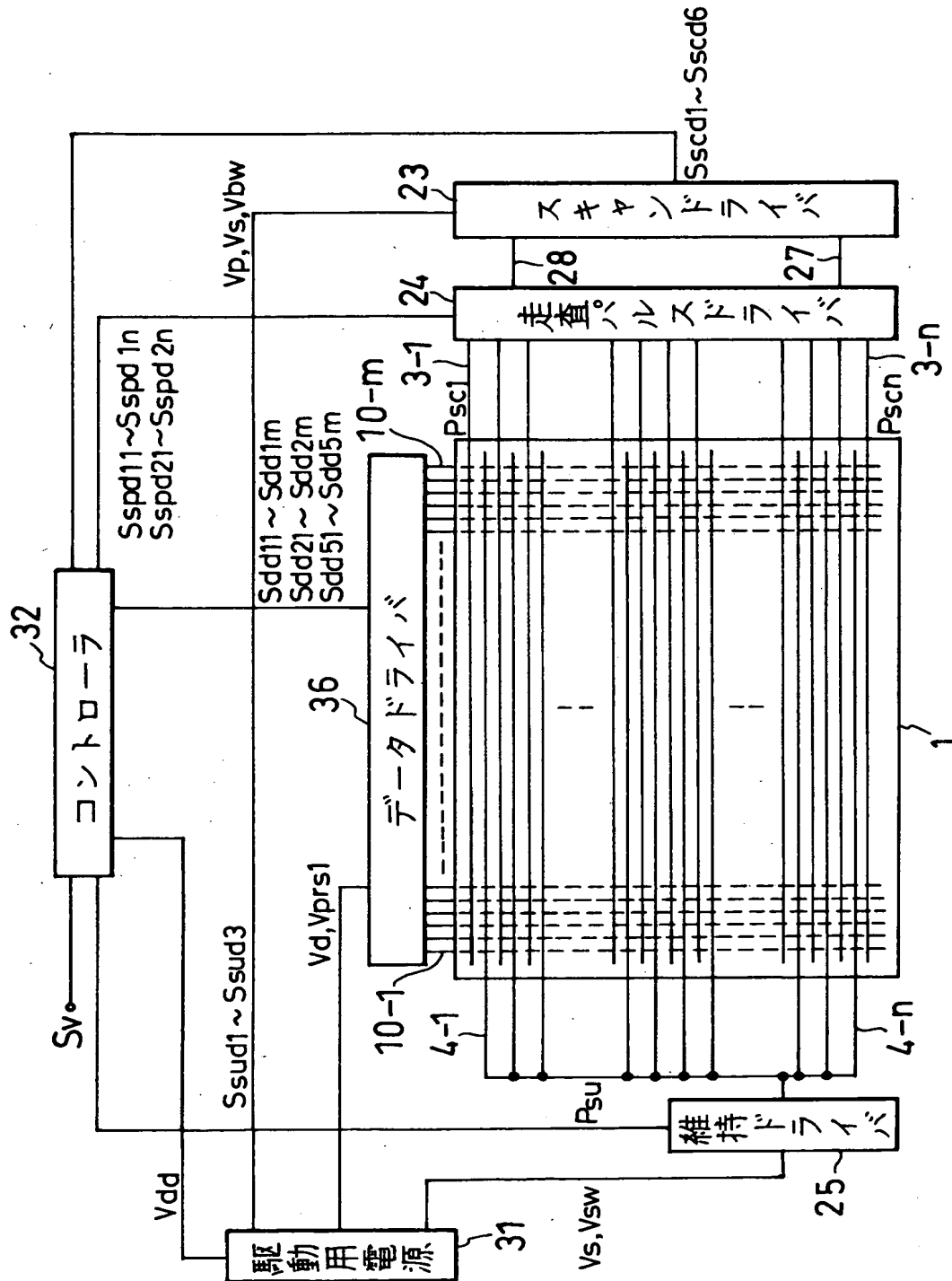
2 6、3 6 ; データドライバ

2 2、3 2、4 2 ; コントローラ

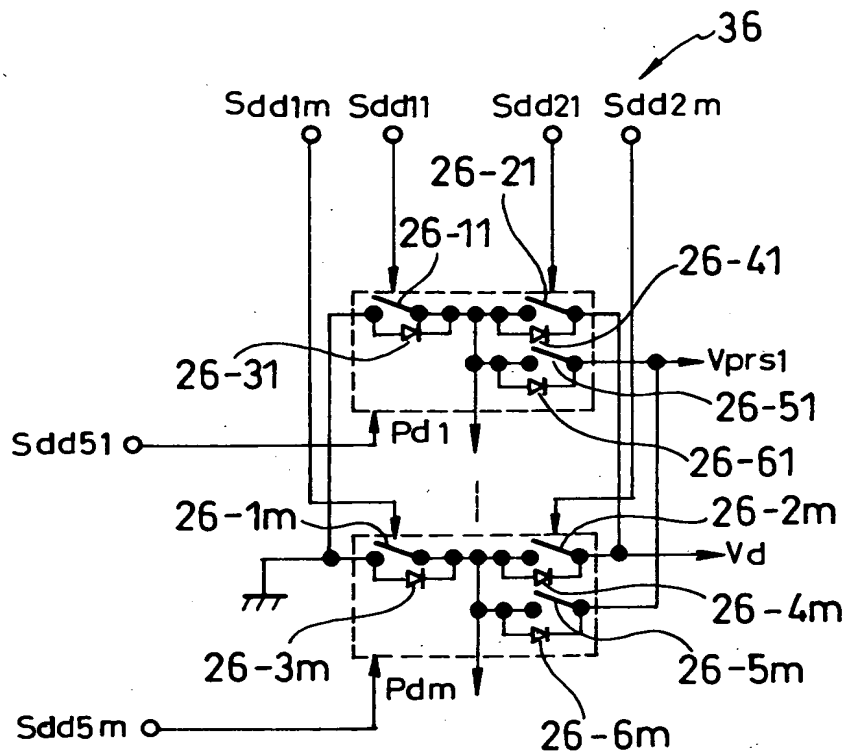
【書類名】

図面

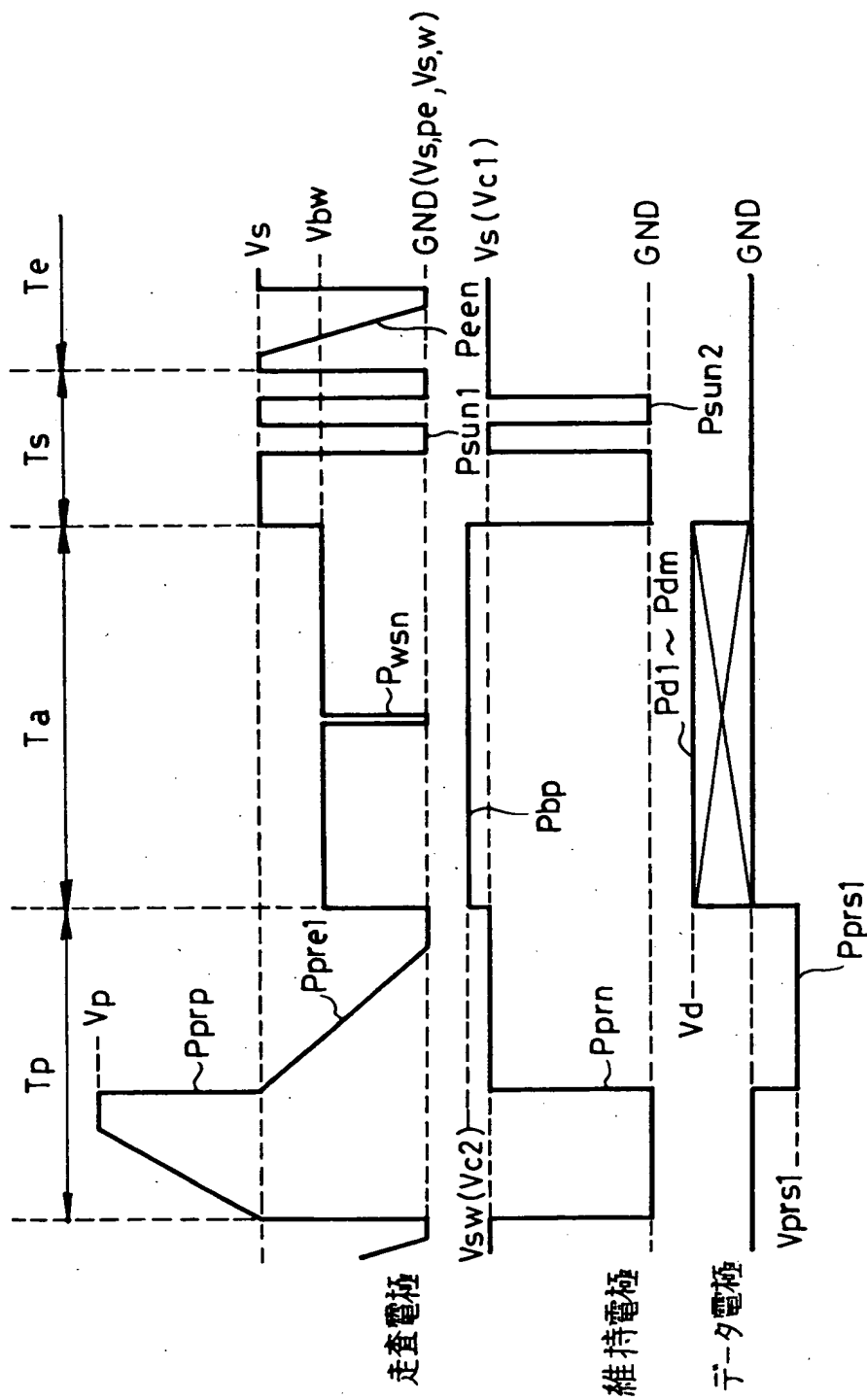
【図 1】



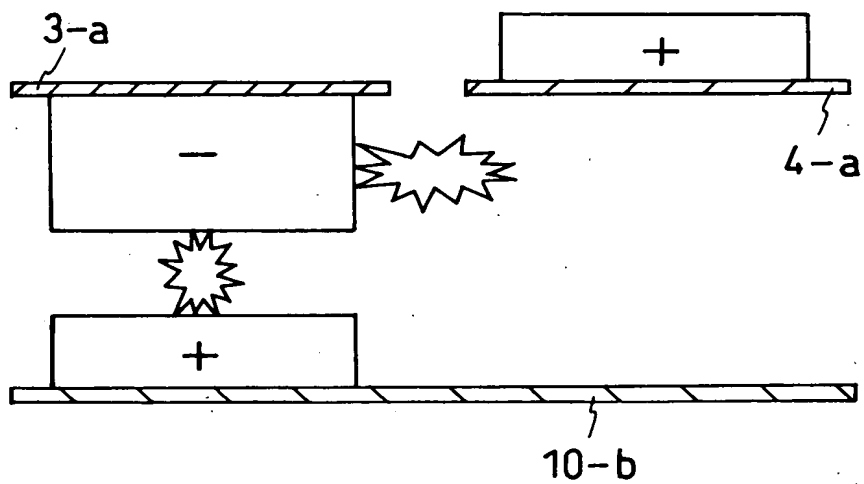
【図 2】



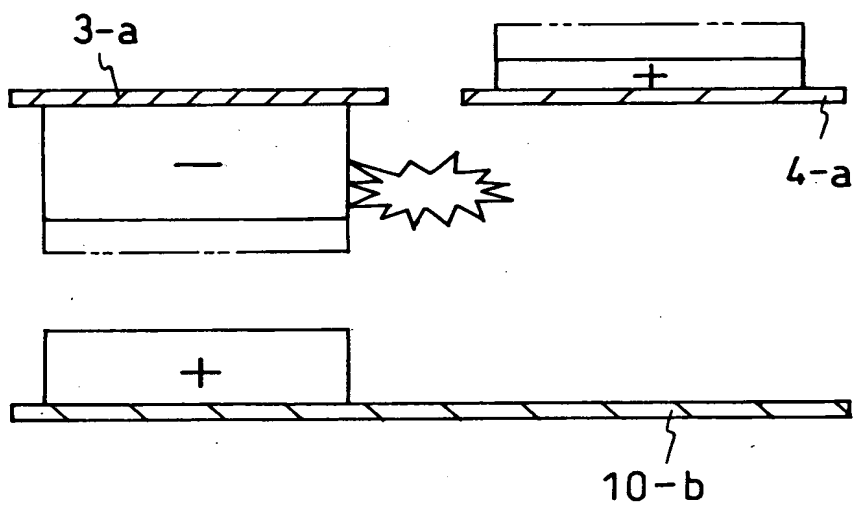
【図 3】



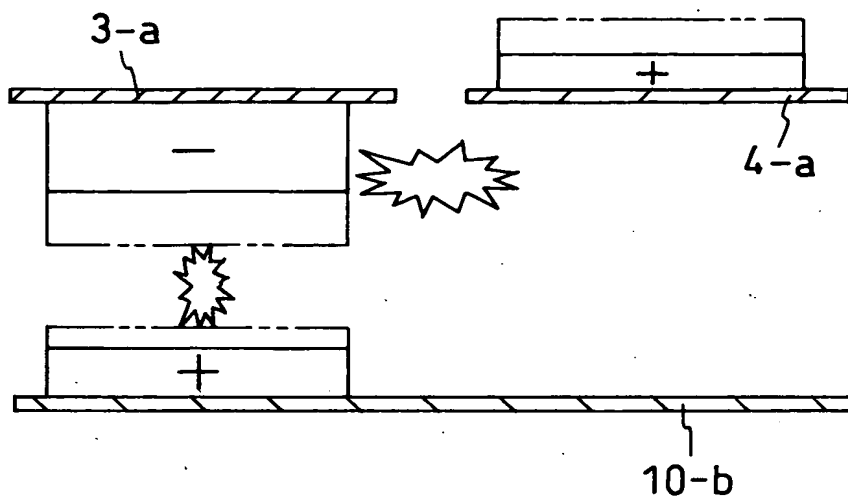
【図 4】



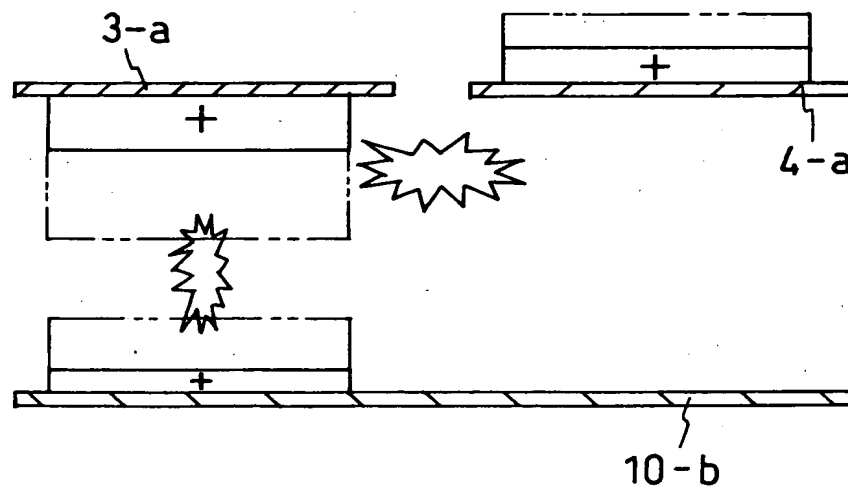
【図 5】



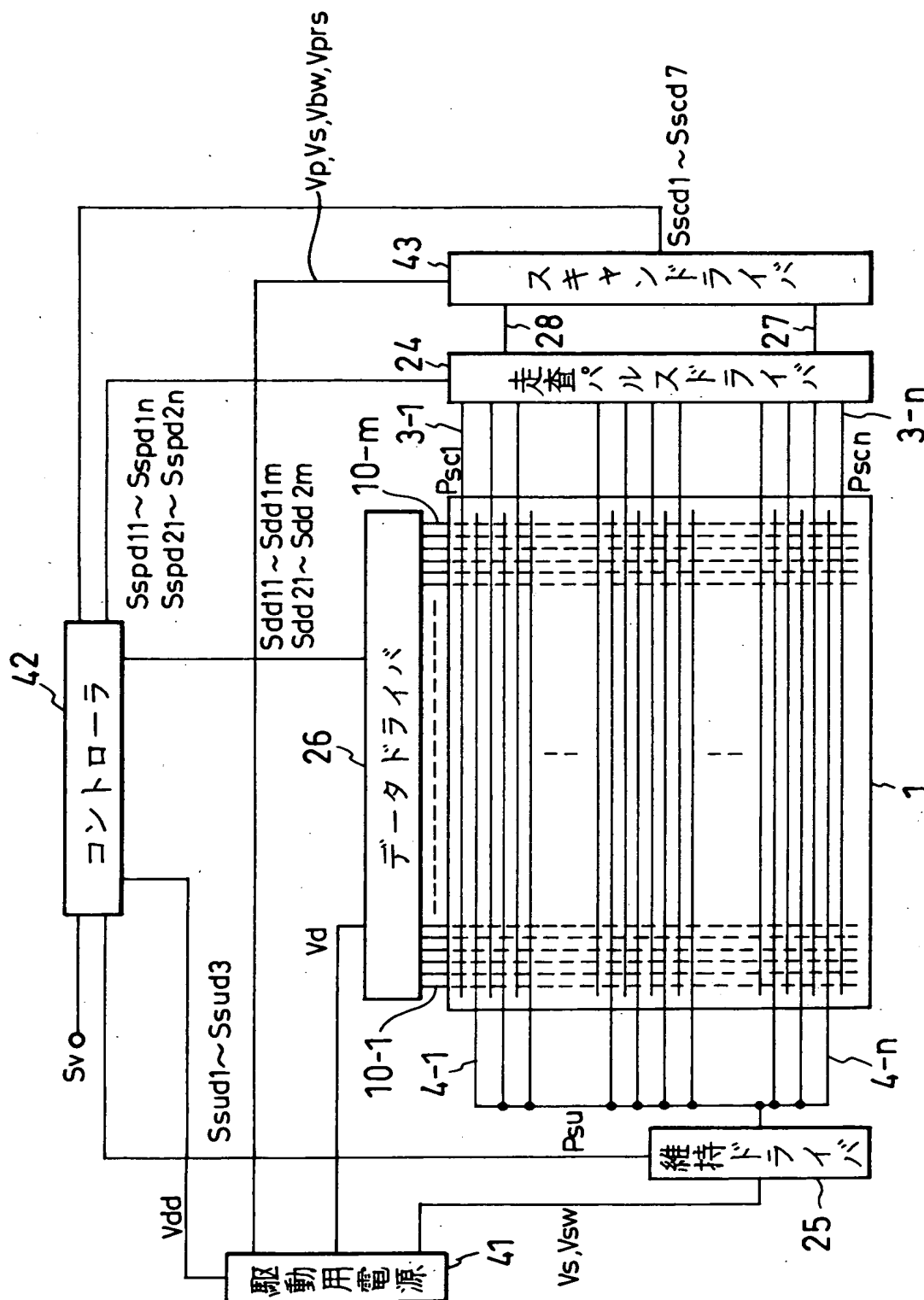
【図 6】



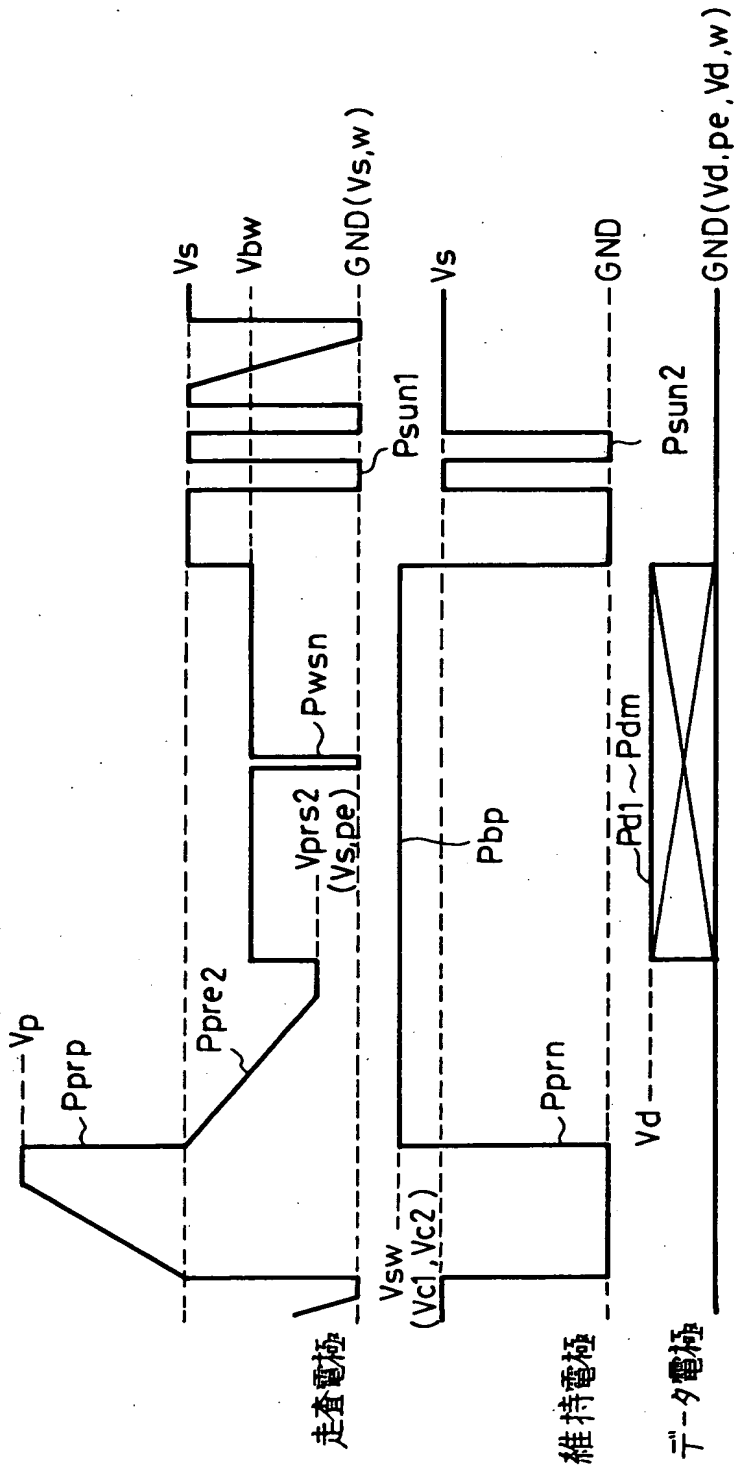
【図 7】



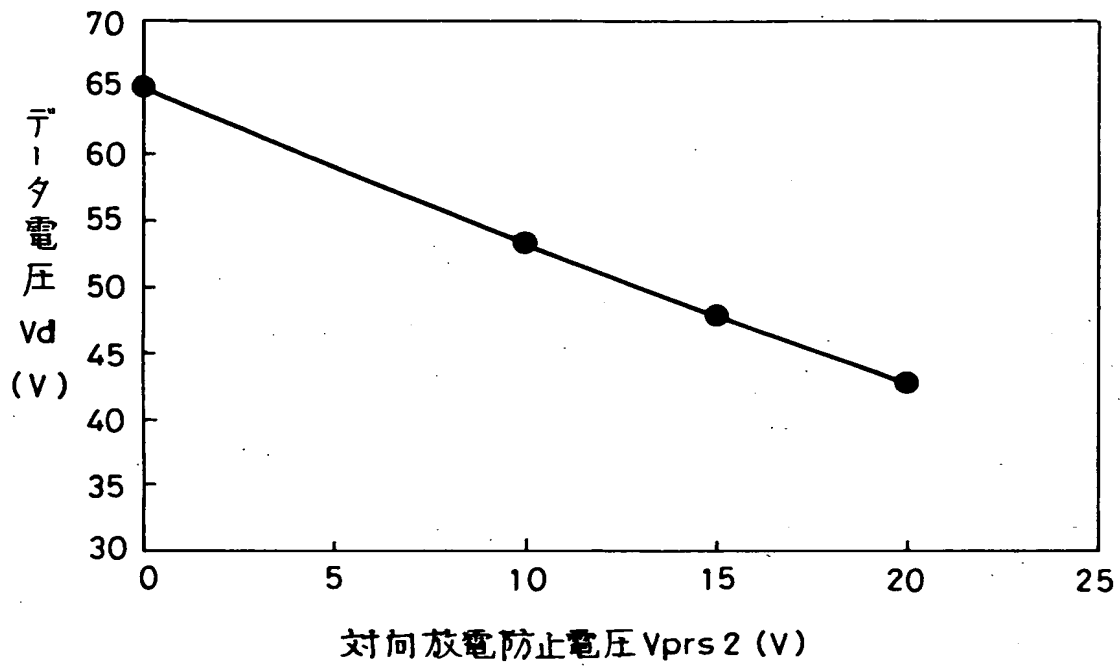
【図 8】



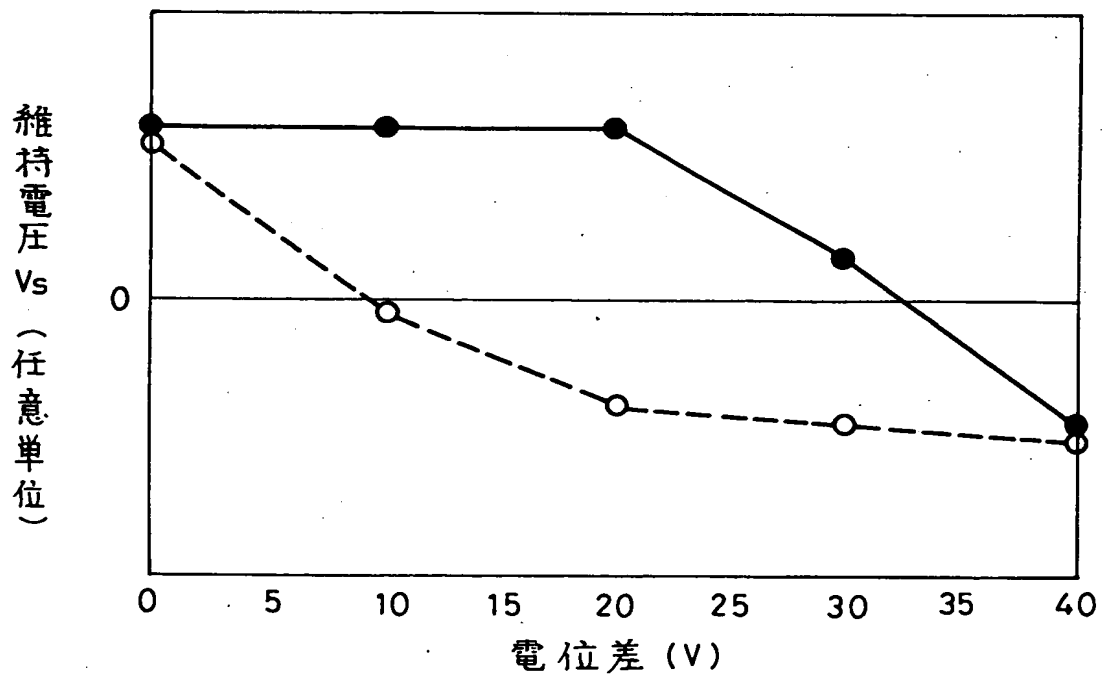
【図 9】



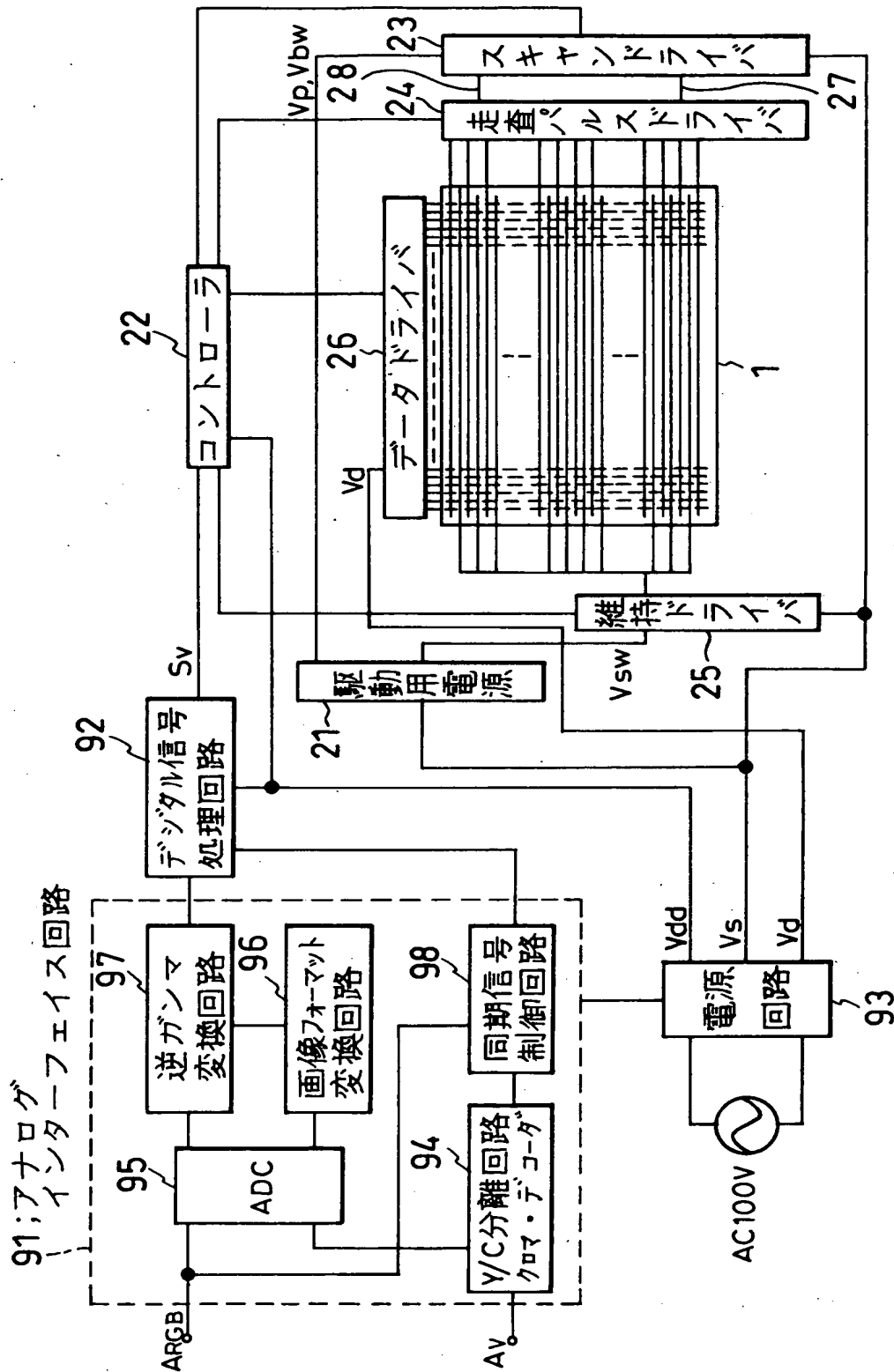
【図10】



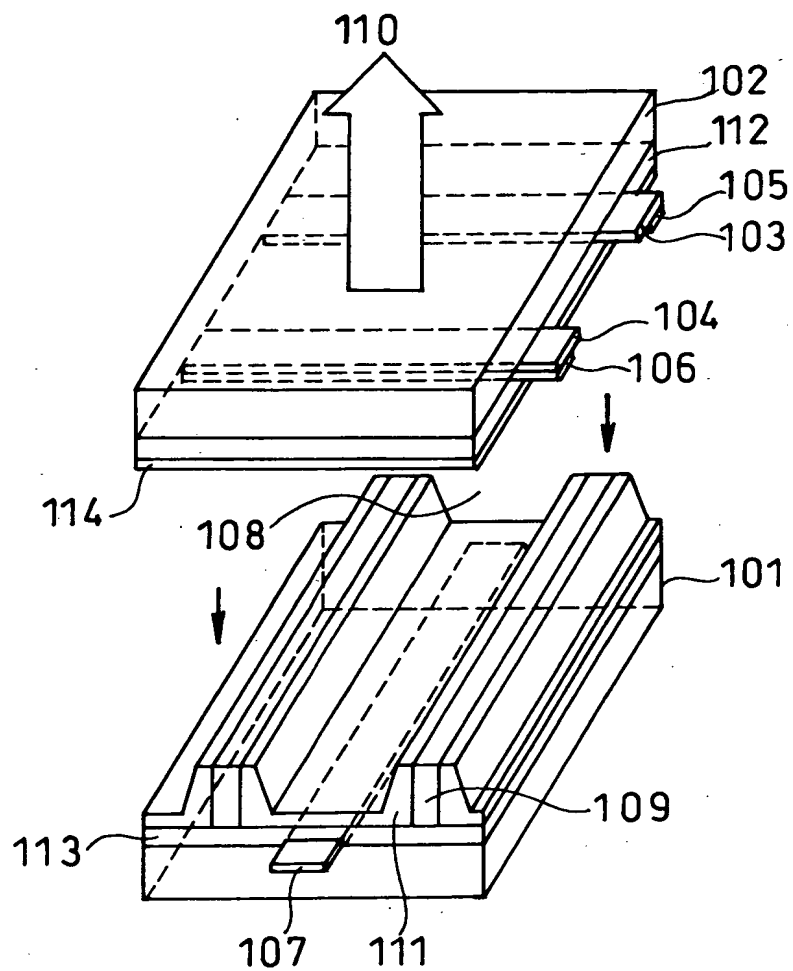
【図11】



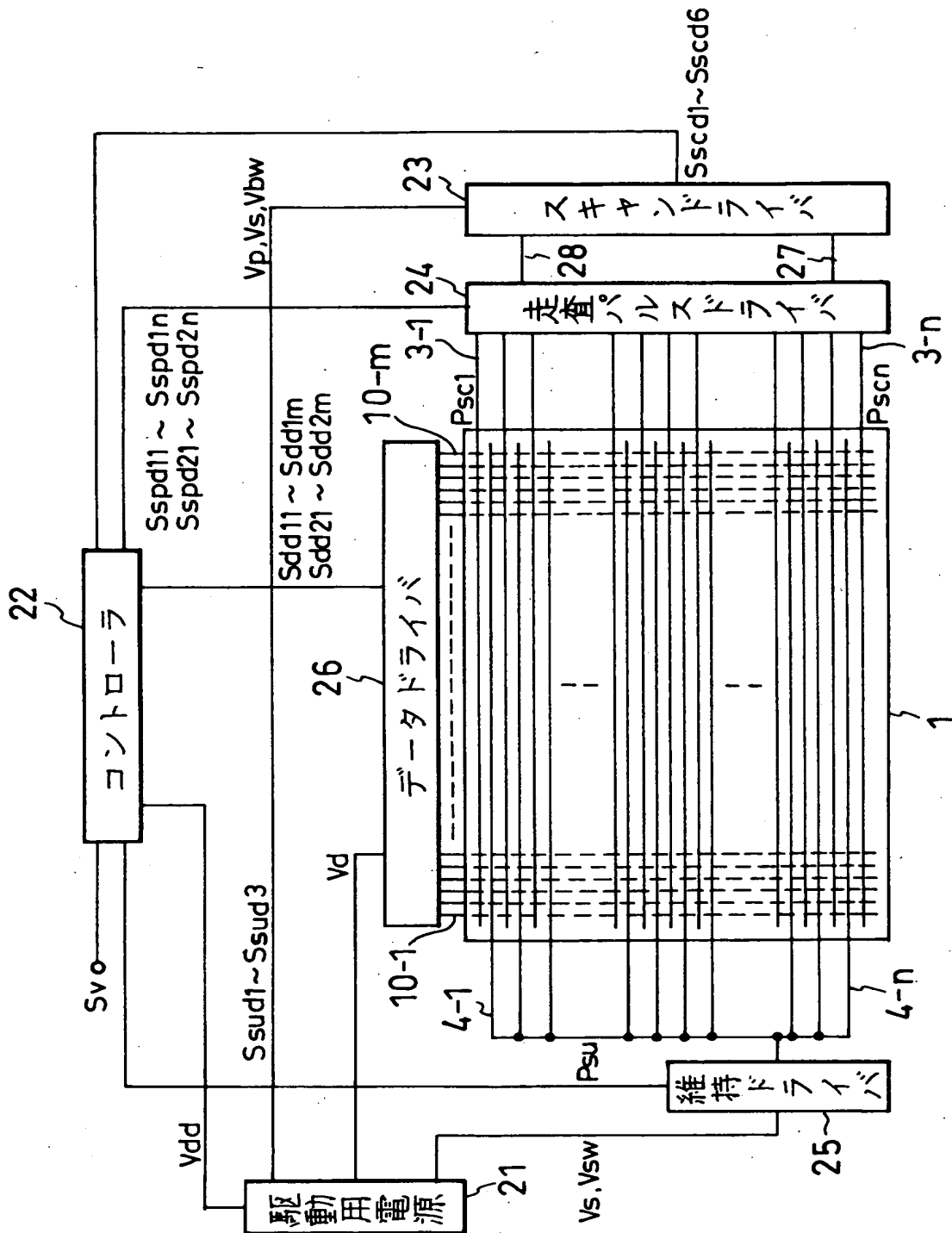
【図 1 2】



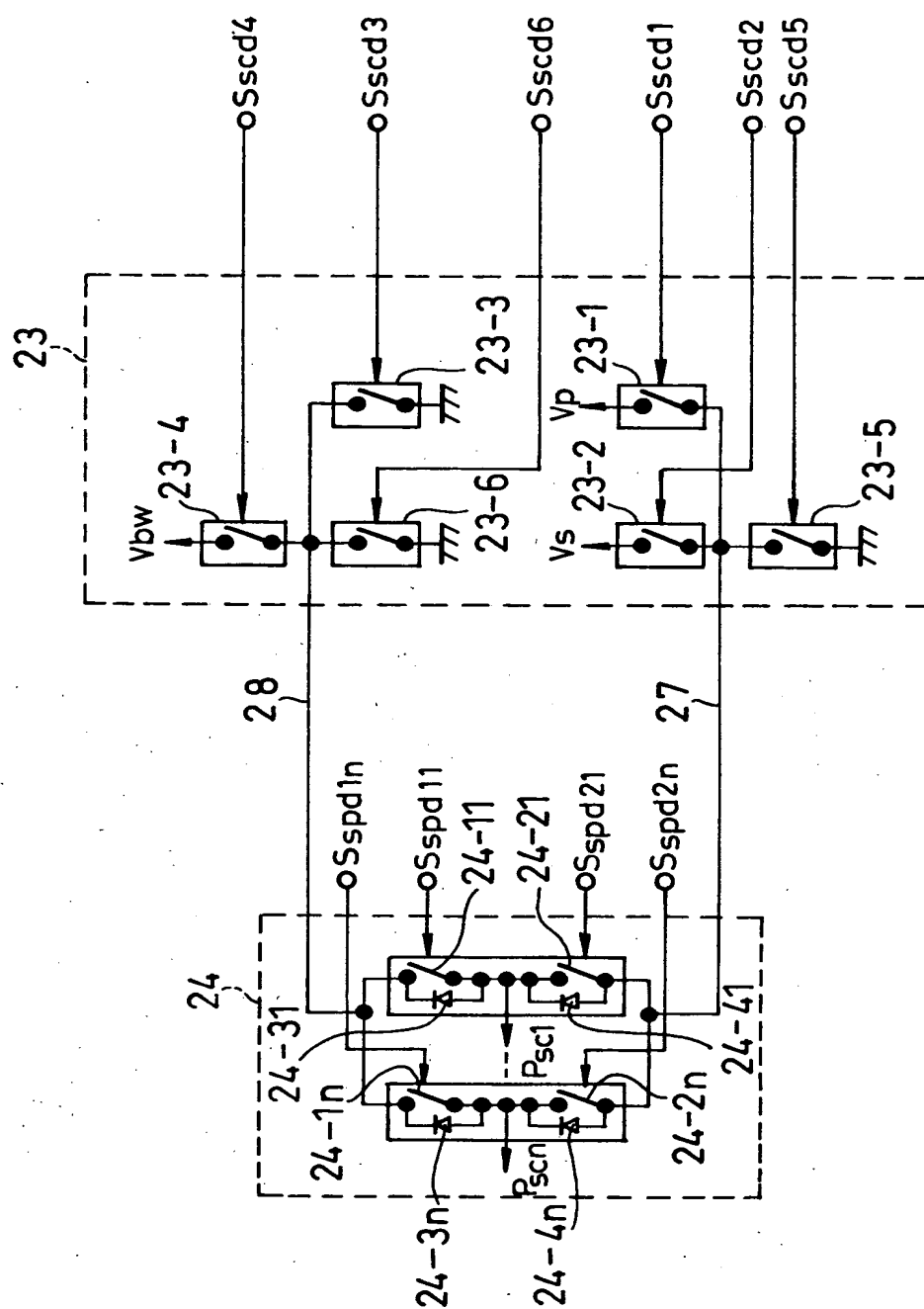
【図13】



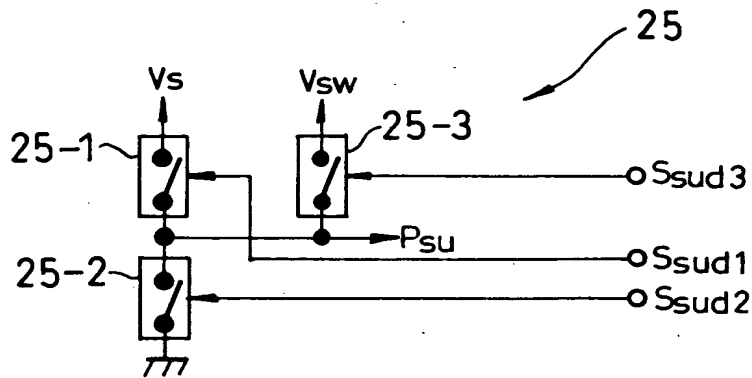
【図14】



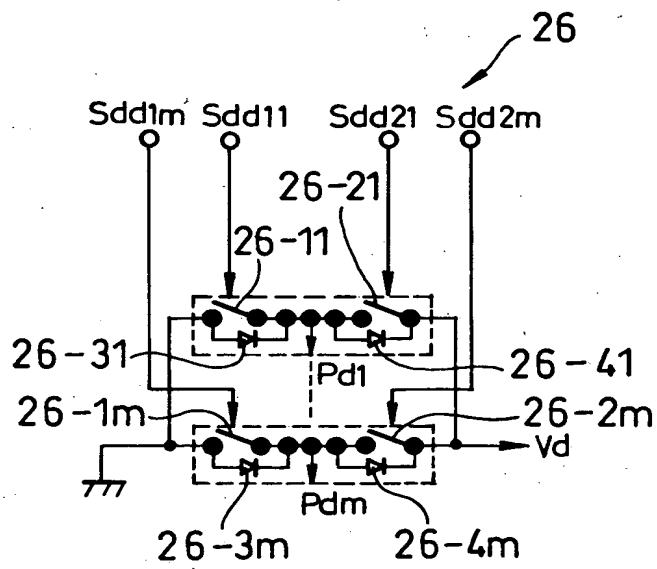
【图 15】



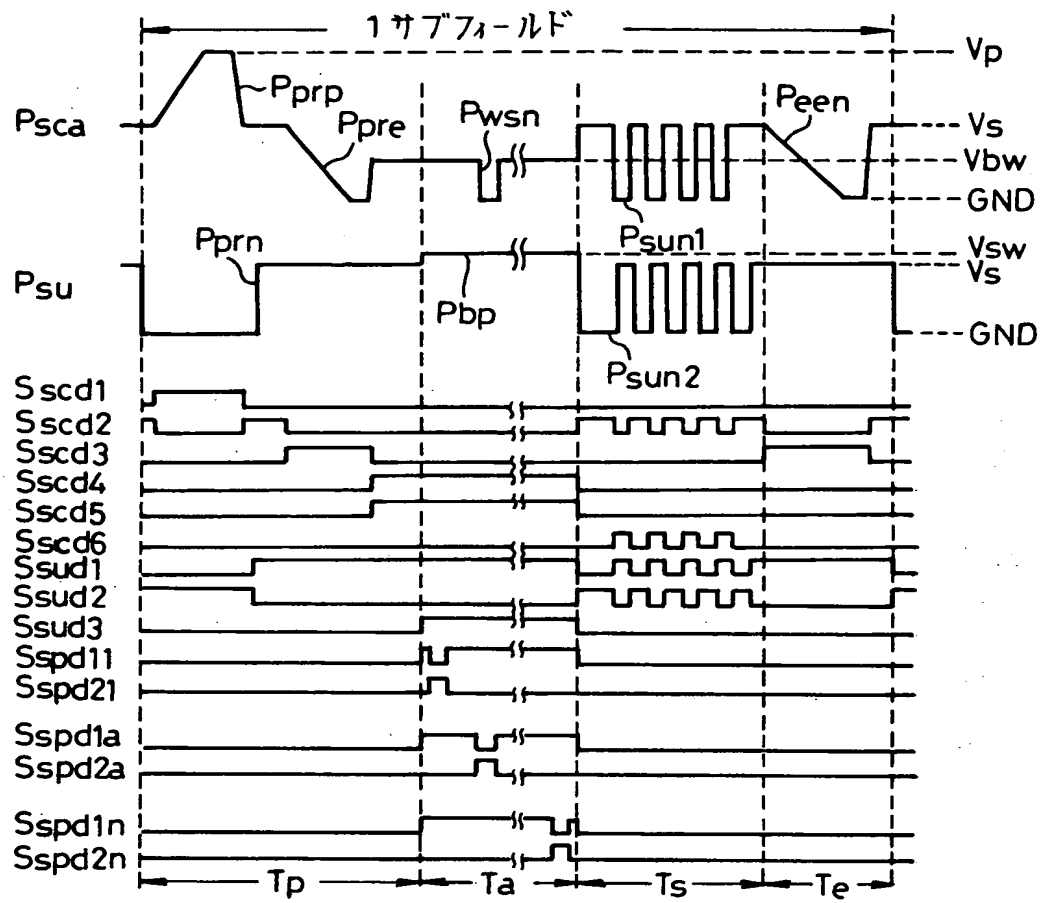
【図 16】



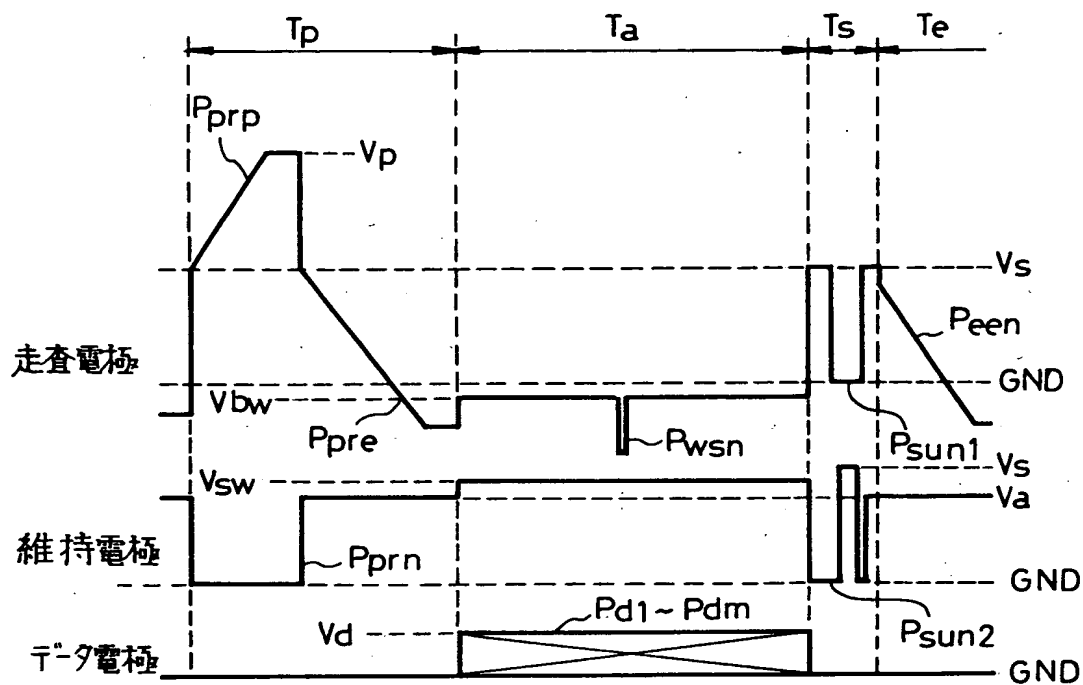
【図 17】



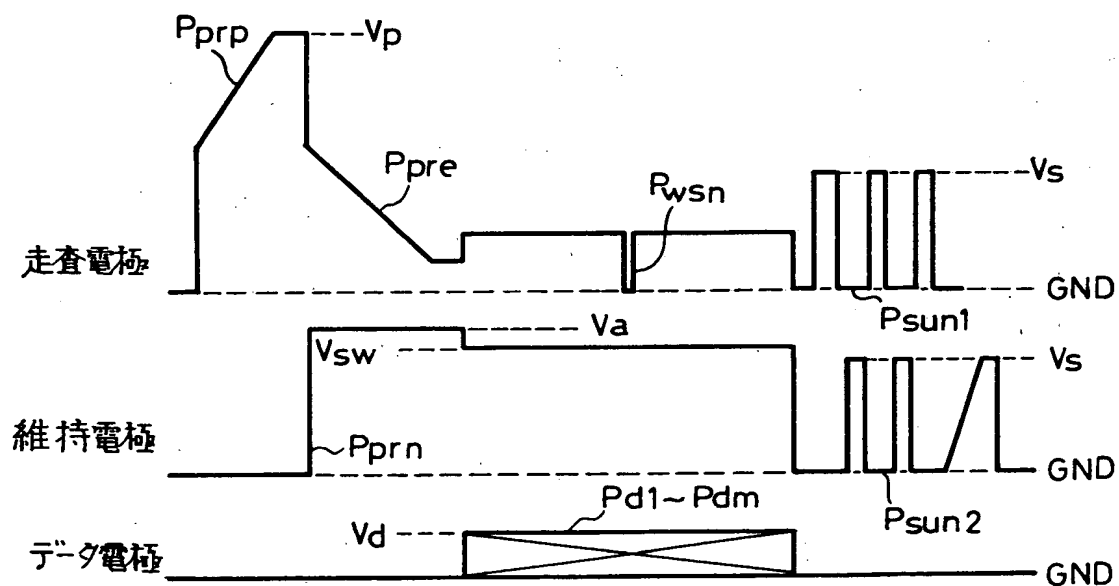
【図18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 誤書き込みの発生を防止しながら消費電力を低減することができるプラズマディスプレイパネルの駆動方法、駆動回路及びプラズマ表示装置を提供する。

【解決手段】 プライミング消去パルス P_{pre} の印加の結果、走査電極及び維持電極間で弱い放電が発生するが、走査電極及びデータ電極間では、対向放電が発生しないか、又は対向放電が発生しても極めて微弱なものである。従って、走査電極及び維持電極に付着した壁電荷は、その後のアドレス期間 T_a において誤放電が発生しない程度に減少され、データ電極には正極性の壁電荷が減少せずにそのまま残っているか、又は比較的多量の壁電荷が付着したまま残っている。この結果、低いデータ電圧 V_d であっても十分な書込放電が発生する。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願2001-053805
受付番号	50100280976
書類名	特許願
担当官	第一担当上席 0090
作成日	平成13年 3月 1日

<認定情報・付加情報>

【提出日】	平成13年 2月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社